

TEMA 8: Circuitos secuenciales avanzados**OBJETIVOS**

Empezaremos presentando un instrumento especialmente orientado a la captura, visualización y análisis de las señales digitales: el "*Analizador Lógico*". A continuación montaremos y comprobaremos diversos circuitos secuenciales como son los registros de almacenamiento, de desplazamiento y diferentes tipos de contadores digitales.

RELACIÓN DE MATERIALES

- Entrenador Universal Trainer o plataforma equivalente para experimentación de circuitos digitales; cables de conexión.
- Como instrumento opcional se sugiere un económico analizador lógico.
- C. Integrados: 1 x 4017; 1 x 74xxx00; 1 x 74xx04; 1 x 74xxx47; 1 x 74xxx90; 2 x 74xx112; 1 x 74xxx169; 1 x 74xxx194; 1 x 74xx373;

INDICE GENERAL**P1: EL ANALIZADOR LÓGICO**

P1-1 El modelo LA2408

P1-2 Software Sigrok (www.sigrok.org)

P1-3 Descarga e instalación

P2: REGISTROS DE ALMACENAMIENTO

P2-1 Registro de entrada/salida paralelo de 4 bits

P2-2 El dispositivo 74xxx373; un registro de 8 bits

P3: REGISTROS DE DESPLAZAMIENTO

P3-1 Registro de desplazamiento de 4 bits

P3-2 Registro de desplazamiento universal con el 74xxx194

P4: CONTADORES BINARIOS

P4-1 Contador asíncrono ascendente de 4 bits

P4-2 Contador asíncrono descendente de 4 bits

P4-3 Contador Up/Down con precarga con el 74xxx169

P5: CONTADOR DECIMAL

P5-1 Contador BCD con el 74xxx90

P5-2 Contador BCD con visualización en 7 segmentos

P5-3 Contador decodificado decimal con el 4017

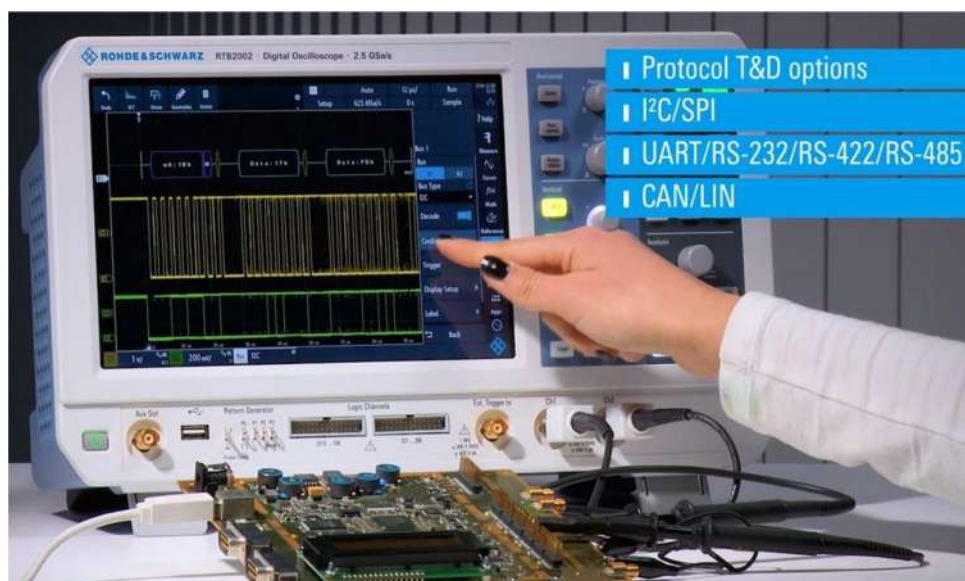
P6: ENTRETENIMIENTO

P6-1 Quiniela electrónica

P6-2 Dado electrónico

TEMA 8: Circuitos secuenciales avanzados**P1: EL ANALIZADOR LÓGICO**

Podemos considerar que un analizador lógico es en electrónica digital lo que un polímetro o un osciloscopio es en electrónica básica o analógica. Efectivamente, se trata de un instrumento que nos permite capturar y analizar simultáneamente un conjunto de señales digitales. Estas se visualizan sobre una pantalla en forma de diagrama de tiempos y/o en diferentes formatos: paralelo, I2C, SPI, USART, 1-Wire y un largo etcétera.



En el mercado puedes encontrar infinidad de modelos con diferentes prestaciones. Los hay caros y profesionales capaces de capturar la información de un gran número de canales o señales de entrada y a una gran velocidad de captura, del orden de cientos de megahercios. También los hay sencillos y económicos con unos pocos canales de entrada (mínimo 8) y velocidades de unas pocas decenas de megahercios.

P1-1 El modelo LA2408

De entre la infinidad de modelos que nos podemos encontrar en el mercado, en MK Electrónica nos hemos decantado por el analizador lógico LA2408 por su bajo coste, menos de 17 €, y con unas prestaciones más que suficientes para seguir este curso y mucho más.

Nos parece ideal para familiarizarnos con este tipo de instrumentos. Si la cosa te va bien y las necesidades te lo exigen, ya tendrás tiempo de hacerte con modelos más potentes y sofisticados. Sus características se pueden resumir en:

- Tipo dependiente que se conecta con el PC mediante interface USB
- Basado en la arquitectura original de Saleae (www.saleae.com)
- Controlador principal Cypress CY7C68013A (FX2LP)
- Frecuencia máxima de trabajo 24 MHz (24 millones de capturas por segundo)
- 8 canales de entrada (CH1-CH8)
- Niveles lógicos de entrada de 0 - 5 V
- Dimensiones 55 x 28 x 14 mm
- Incluye cable USB y cable plano de 10 vías para los canales de entrada.
- Compatible con el software Saleae para el análisis lógico y con el software de código abierto de la plataforma Sigrok.



P1-2 Software Sigrok (www.sigrok.org)



¿Por qué hemos seleccionado este software? Sigrok es un proyecto cuyo objetivo es proporcionar un software para el análisis de señales, multiplataforma, gratuito, libre y de código abierto. Entre sus ventajas queremos destacar:

- **Amplio soporte hardware.** Admite decenas de modelos de instrumentos diferentes (analizadores lógicos, osciloscopios, multímetros, registradores, etc...), de diferentes fabricantes.
- **Multiplataforma.** Puedes descargar la versión para trabajar en Linux (32/64 bits), Windows (32/64 bits) o Mac OS X (64 bits).
- **Decodificador de múltiples protocolos.** La información capturada se puede representar en forma de señales lógicas individuales (diagrama de tiempos), en forma de bus paralelo, en protocolos con formato I2C, SPI, 1-Wire, USART y muchos más...

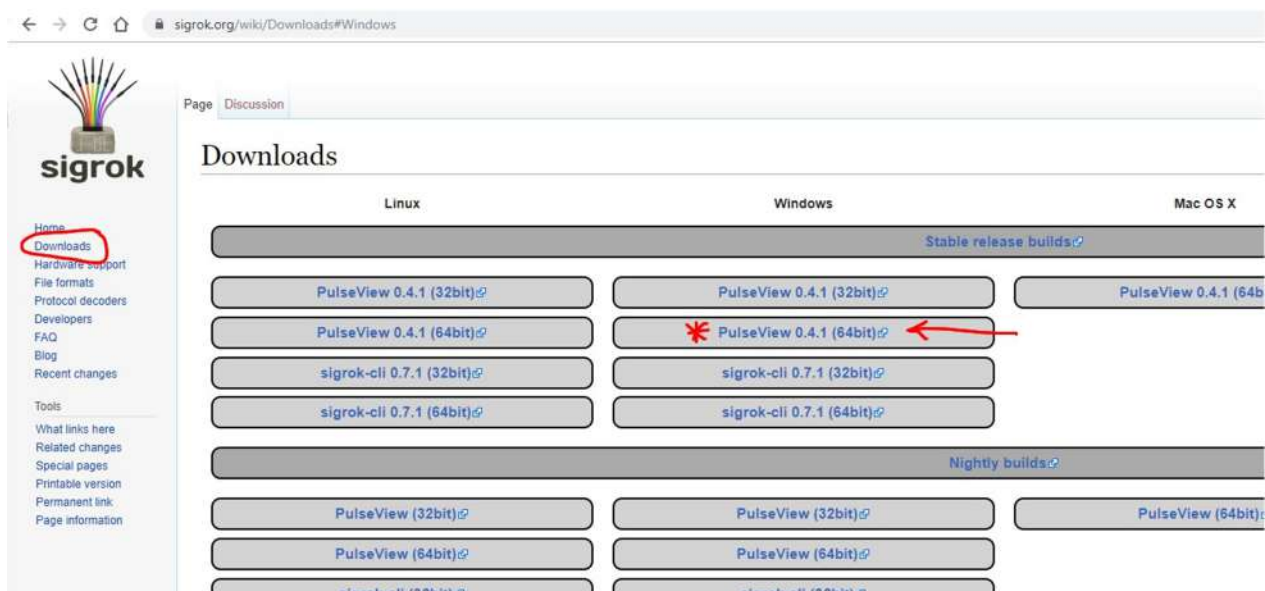
- **Trigger-Disparo.** Cada canal de entrada se puede configurar para iniciar la captura cuando se detecte un nivel "0", un nivel "1", un flanco descendente, un ascendente o un cambio de estado.

Es decir, Sigrok es un software que, aunque ahora empieces con un sencillo y económico analizador lógico, de cara a futuro podrás crecer y emplear otros instrumentos y herramientas más potentes y complejas usando el mismo software.

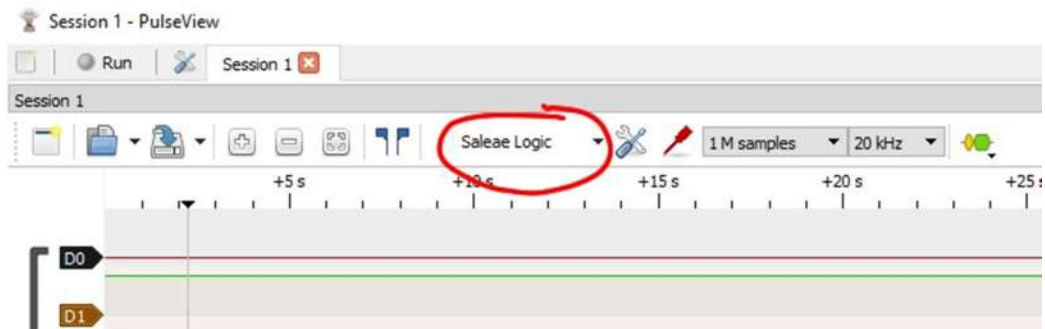
P1-3 Descarga e instalación

Cuando accedes a la página principal, www.sigrok.org, podrás conocer qué herramientas son soportadas por esta plataforma software, así como una breve descripción de cada una de ellas.

En la sección de "Download" podrás obtener diferentes aplicaciones software de distintas versiones y para diferentes plataformas: Windows, Linux y Mac OS X, Nosotros hemos descargado "PulseView 0.4.1 (64 bits)".



En el caso de Windows se descarga el fichero de instalación: "**pulseview-0.4.1-64bit-static-release-installer.exe**". Al ejecutarlo, la aplicación "**pulseview.exe**" se instala en: "**C:\Program Files (x86)\sigrok\PulseView**". Puedes crear un acceso directo al escritorio para mayor comodidad. Ahora basta con conectar el analizador lógico con el PC a través del puerto USB y ejecutar esa aplicación. El sistema nos ha reconocido automáticamente el instrumento analizador, "**Saleae Logic**", y estamos listos para funcionar.



Es posible que en otros casos no se produzca este reconocimiento. Quizás sea porque falten los drivers oportunos. En este caso puedes usar la aplicación "**zading.exe**", que igualmente se instaló en la misma carpeta, para buscar el driver apropiado.

En esa misma carpeta también tienes un manual de usuario de PulseView tanto en formato PDF como en HTML. En él tienes la información necesaria para su manejo, debidamente organizada por contenidos.

PulseView User Manual
0.4.1, dated 2018-10-29

1. License

This work is licensed under the Creative Commons Attribution-ShareAlike 4.0 International license. <http://creativecommons.org/licenses/by-sa/4.0/> or send a letter to Creative Commons.

2. Overview

PulseView is a graphical frontend for the libsigrok and libsigrokdecode libraries, which contain protocol decoders to let you record, analyze, process and export analog and digital signals. It makes use of the libsigrok and libsigrokdecode libraries.

The sigrok suite needs some kind of hardware to interface to the signals you want to analyze. Using logic analyzers based on the [Cypress FX2 microcontroller](#). With [fx2laf](#) containing an FX2 can become a powerful streaming logic analyzer. A variety of products are available for as little as \$5. These can easily be found by searching for Cypress FX2 boards such as the Lcsoft Mini Board, which can usually be found on eBay.

In addition, a good set of [quality probe hooks](#) is recommended.

Aside from FX2-based logic analyzers, sigrok also supports FX2-based oscilloscopes like the [Openbench Logic Sniffer](#) or devices that make use of the SCPI protocol, like the LeCroy WaveRunner, Yokogawa DLM and similar).

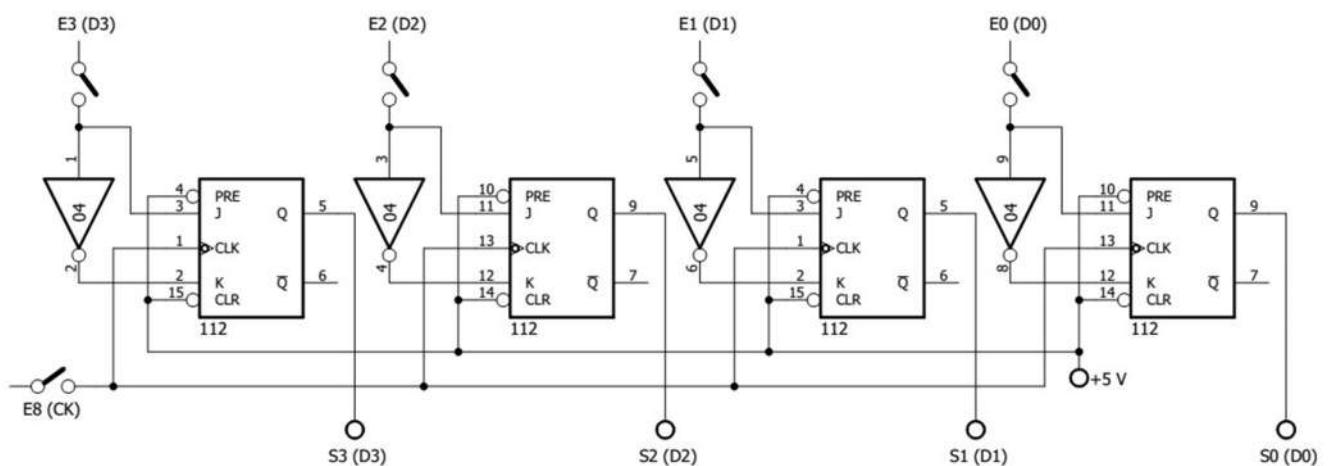
Si eres un afortunado que dispone de esta herramienta, espero que la disfrutes y estoy seguro que te será de gran utilidad.

P2: REGISTROS DE ALMACENAMIENTO

Un registro de almacenamiento es un circuito compuesto de n biestables (normalmente de tipo D) capaz de almacenar un número n de bits. Una de sus características es que la señal de reloj es común a todos los flip-flops que lo forman. Así, con una misma señal, todos los flip-flops se activan al mismo tiempo y cada uno memoriza en su salida el bit que tiene en su entrada.

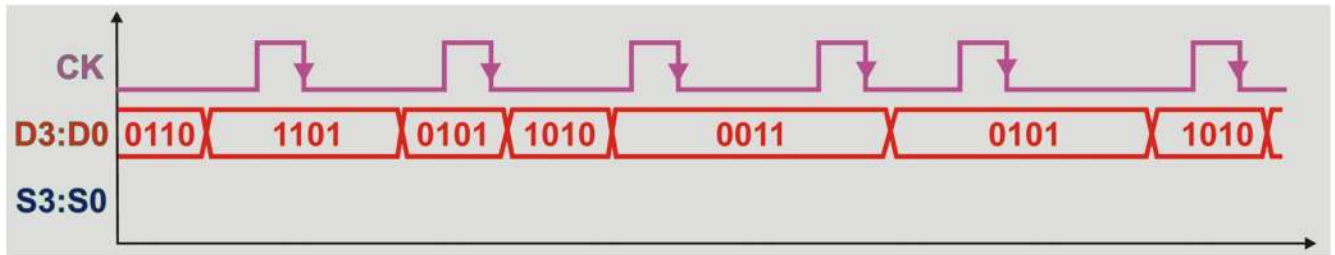
P2-1 Registro de entrada/salida paralelo de 4 bits

En la imagen tienes el esquema de un registro de almacenamiento de 4 bits que se cargan y se leen en paralelo (entrada/salida paralelo); cada bit tiene su entrada y su salida.



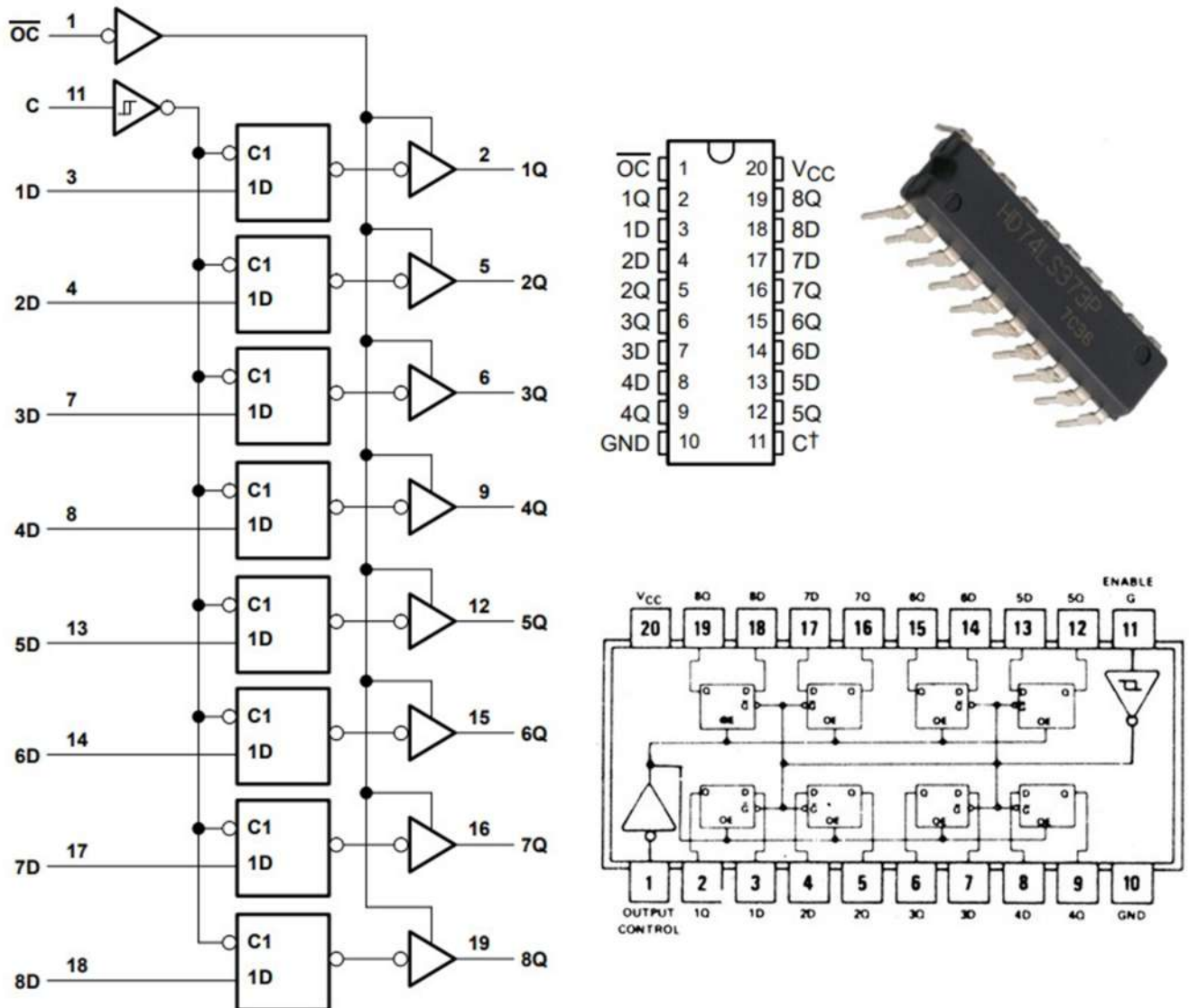
Está construido con biestables J-K con las entradas invertidas, lo que los convierte en biestables tipo D activos por flanco descendente del reloj. Como no se emplean, observa que todas las entradas PR y CL se han puesto a nivel "1", el nivel inactivo, para que no influyan en el funcionamiento del registro.

Mediante los interruptores E3:E0 se introducen los 4 bits a memorizar (D3:D0) con cada flanco descendente de la señal común CK de reloj. Empleamos el interruptor E8 del entrenador. Los bits memorizados están presentes en los leds de salida S3:S0 que están conectados con las correspondientes salidas Q de cada flip-flop o biestable. Monta el circuito y completa el diagrama de tiempos propuesto indicando en cada momento el valor de las salidas S3:S0 a partir del valor de las entradas D3:D0.



P2-2 El dispositivo 74xxx373; un registro de 8 bits

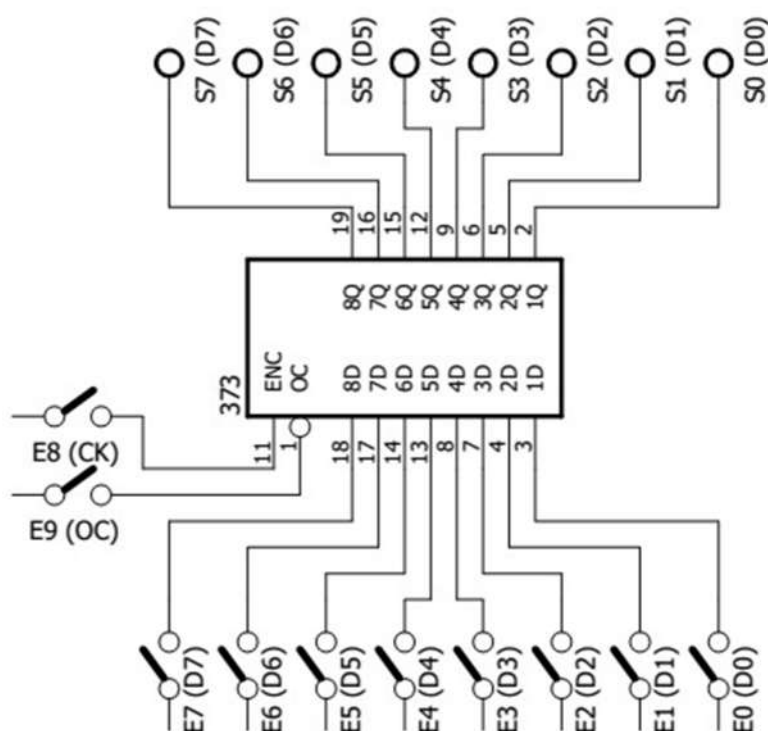
Es uno de los registros más utilizados. En la imagen tienes la estructura interna y la distribución de sus patillas.



Se trata de un registro de almacenamiento de 8 bits compuesto de otros tantos flip-flops de tipo D con señal Ck de reloj activa por nivel "1" (no por flanco).

Como curiosidad comentar que sus salidas pueden quedar en estado de alta impedancia. Esto lo puedes controlar mediante la señal OC (Output Control). Es activa por nivel "0" y cuando se pone a nivel "1" la información se mantiene registrada en los flip-flops pero no está disponible en el exterior. A efectos eléctricos las salidas 1Q:8Q quedan desconectadas. La tabla de la verdad resume el funcionamiento de este dispositivo.

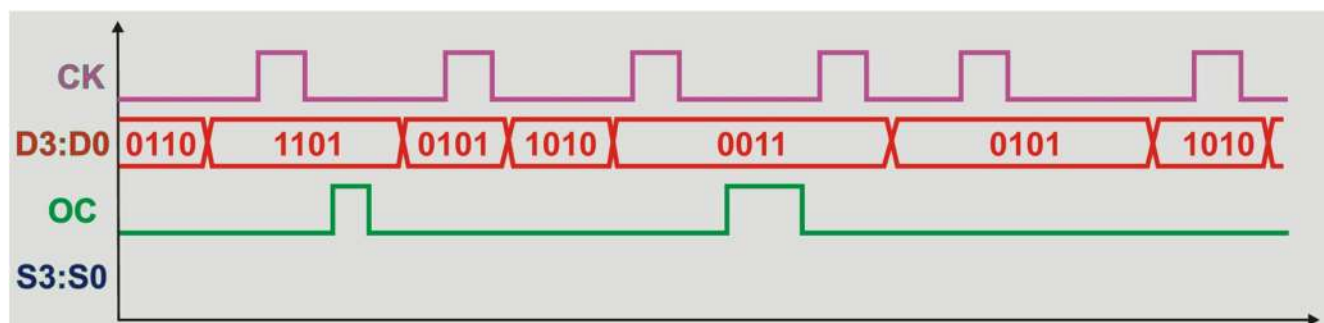
ENTRADAS			SALIDAS
/OC	C	D	Q
0	1	1	1
0	1	0	0
0	0	X	Q
1	X	X	Z



Como circuito práctico te propongo el siguiente esquema.

Con los interruptores E7:E0 puedes introducir la palabra de 8 bits (D7:D0) que deseas memorizar a la orden de la señal CK de reloj (E8). Recuerda que el bit D0, el de la derecha, es el bit de menos peso. Los bits memorizados los puedes visualizar en los leds S7:S0 del entrenador siempre y cuando la señal OC (E9) esté a nivel "0".

Una vez montes el circuito comprueba su funcionamiento y completa el diagrama de tiempos. En él se te sugieren unos valores expresados en binario. No estaría de más que repasaras este sistema de numeración (Tema 1).



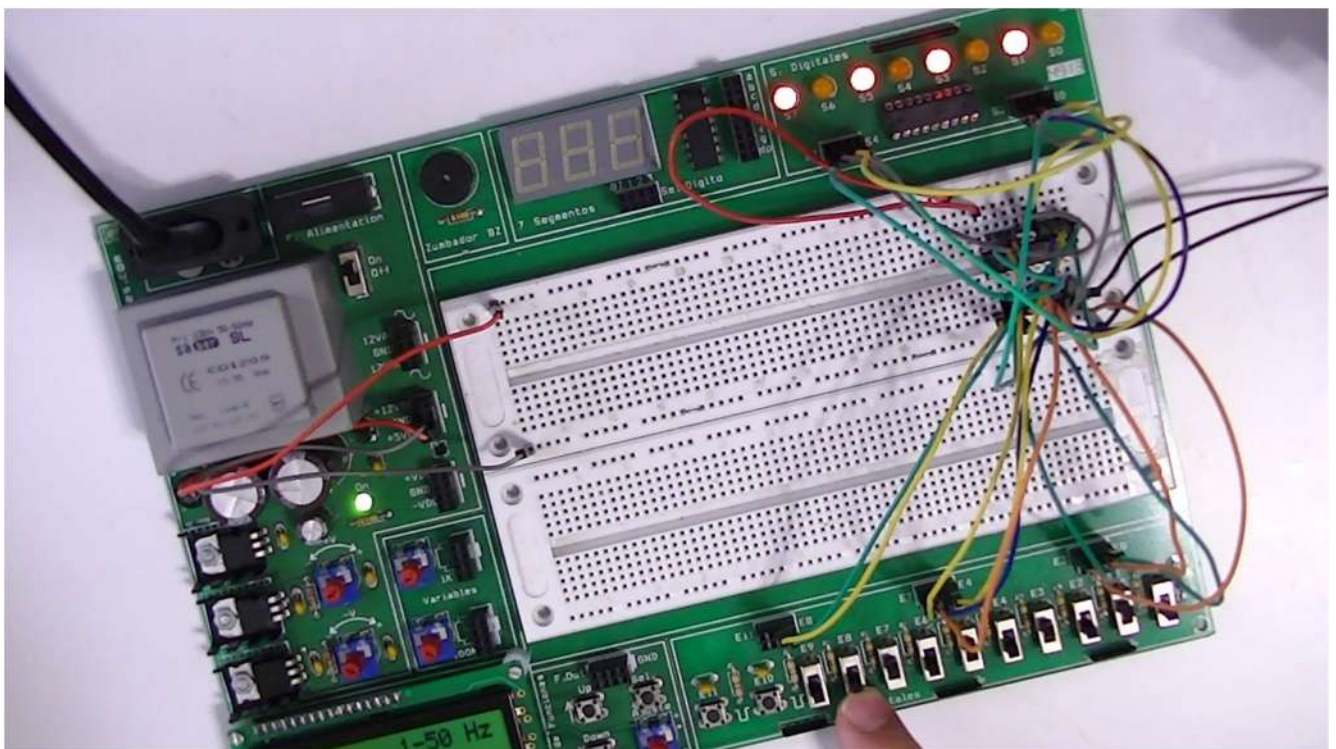
También te sugiero que hagas estas comprobaciones:

1. Cuando pones a "1" la señal OC, las salidas se desconectan y no puedes ver la información registrada, pero ésta sigue estando presente.
2. En la misma situación, aunque no veas la información de salida, sí que puedes modificar la información de entrada. Cuando nuevamente pongas la señal OC a "0", verás la actual información registrada.
3. Cuando el registro está cargado con una información y retiras la tensión de alimentación, al aplicarla nuevamente la información registrada ha desaparecido.

NOTA: La memoria RAM de un ordenador, Tablet, Smartphone, etc... está compuesta de miles de registros. Cuando falta la alimentación todos los programas y datos que estuvieras manejando desaparecen. Solemos decir que se nos ha "borrado la memoria".



Aquí tienes una fotografía del circuito montado sobre el entrenador Universal Trainer.

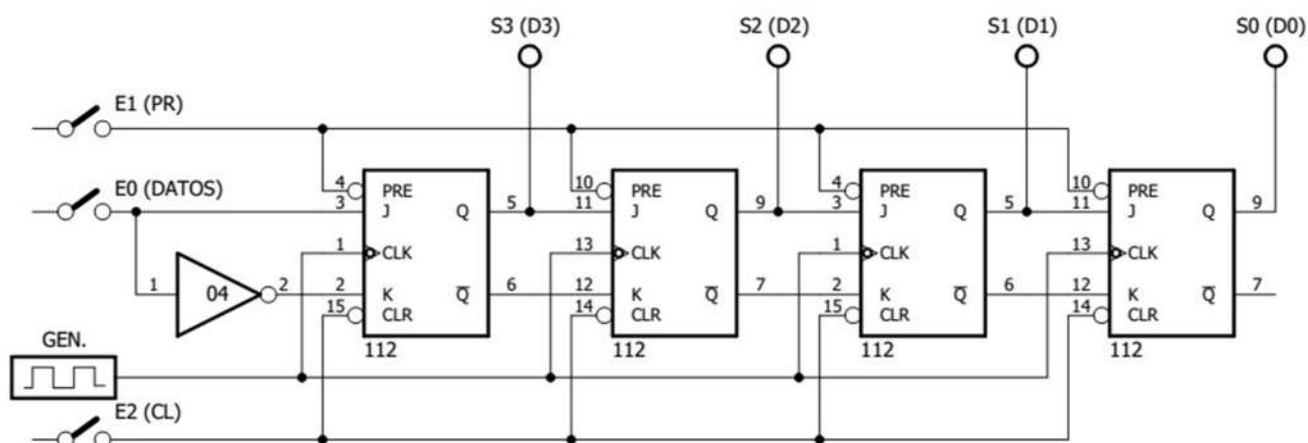


P3: REGISTROS DE DESPLAZAMIENTO

Este tipo de registros también se utilizan para almacenar o memorizar información, pero la forma de cargar o leer la misma es diferente a como lo hacíamos en los registros de almacenamiento. Los registros de desplazamiento emplean tantos flip-flops o biestables como queramos almacenar.

P3-1 Registro de desplazamiento de 4 bits

Una característica típica de los registros de desplazamiento es que las salidas Q y /Q de un flip-flop van a parar a las entradas J y K del siguiente. Por su parte la señal CLK de reloj es común a todos los flip-flops. En la imagen tienes el esquema de montaje de un registro de desplazamiento de 4 bits con **entrada serie y salida serie/paralelo**.

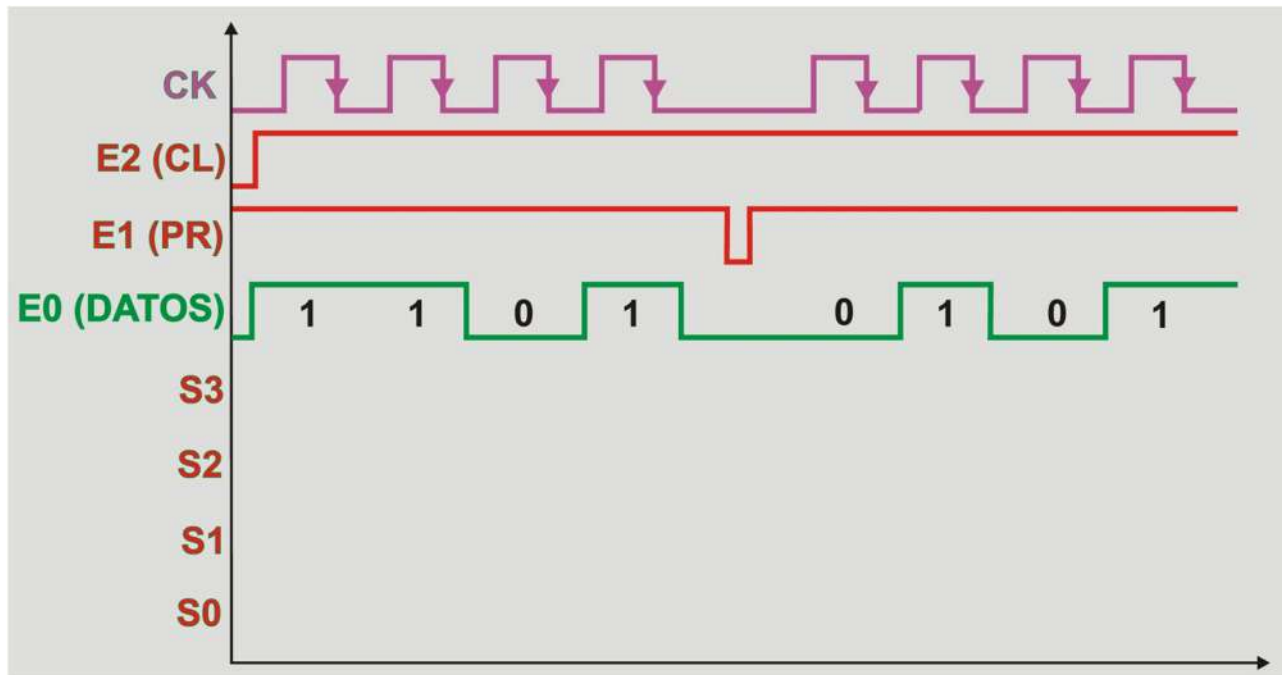


Se dice que es de **entrada serie** porque los bits de información entran en serie por una única entrada, E0, y se van desplazando y alojando en cada flip-flop. Con cada flanco descendente de la señal de reloj (CLK) el bit presente en E0 se carga en S3. Lo que había en S3 se carga en S2, lo que había en S2 se carga en S1 y lo que había en S1 se carga en S0. Tras cuatro pulsos de reloj el registro se carga con sus cuatro bits de información.

Se dice que es de **salida serie** si vamos leyendo, desde S0, un bit tras otro con cada pulso de reloj. Tras cuatro pulsos habremos obtenido los cuatro bits que había almacenados en el registro.

Si los cuatro bits de información almacenada la obtenemos directamente desde cada salida Q de cada flip-flop, diremos que es de **salida en paralelo**.

Te propongo que emplees el generador del entrenador como fuente de reloj. Selecciona la frecuencia de onda cuadrada más baja posible (1 Hz). Como ya se ha comentado en alguna otra ocasión, los pulsos que produce son limpios y están libres del "efecto rebote". Observa que los bits se van cargando, en este caso, con el flanco descendente de ese reloj. Con todo ello te invito a que completes el siguiente diagrama de tiempos en el que también debes de evaluar el efecto de las señales CL (E2) y PR (E1).



Con objeto de que puedas analizar por ti mismo el indeseado efecto de los rebotes, te sugiero que la señal de reloj la retires del generador y la conectes con un pulsador, por ejemplo el E11. Podrás comprobar que el funcionamiento, aparentemente, es un desastre. Por ejemplo, pon la entrada de datos (E0) a nivel "1" y aplica un único pulso de reloj con E11.

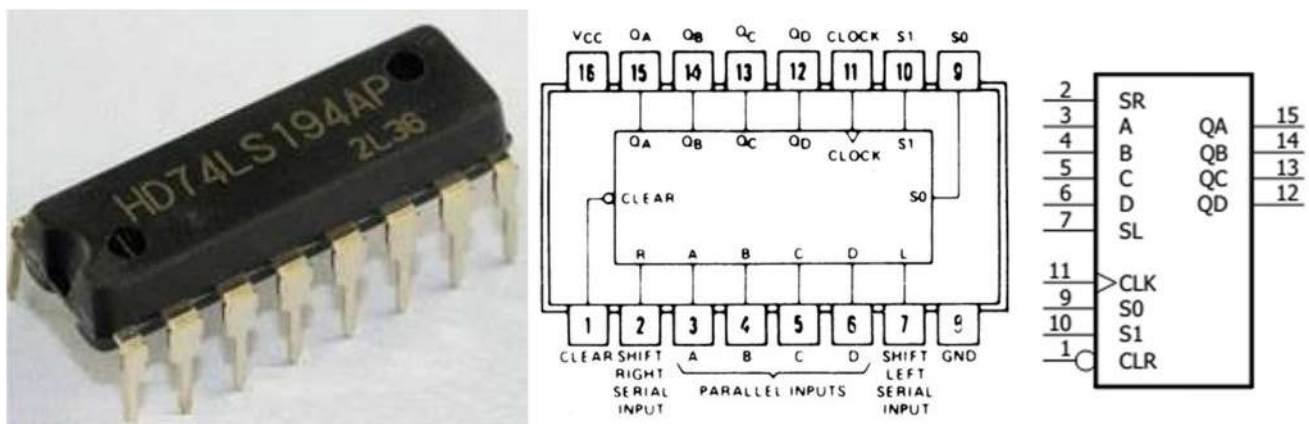
Seguramente verás que, con ese único pulso de reloj, todo el registro se ha cargado con niveles "1". ¿Por qué? Porque la entrada de datos estaba a "1" y aunque accionaste el pulsador E11 una única vez, seguro que se produjeron varios pulsos de rebote. Realmente el circuito está funcionado correctamente.

Empleando el analizador lógico hemos logrado capturar los rebotes en E11. En la siguiente imagen los puedes ver. Aparentemente el impulso 1-0-1 es limpio. Sin embargo haciendo zoom de la imagen, sobre el flanco de subida, se puede apreciar claramente que se han producido 5 pulsos con un total de 6 flancos descendentes.



P3-2 Registro de desplazamiento universal con el 74xxx194

Como te habrás imaginado no hay necesidad de cablear un conjunto de biestables para montar un registro de desplazamiento. Se venden ya integrados en un chip como puede ser el modelo 74xxx194 que puedes ver en la imagen.



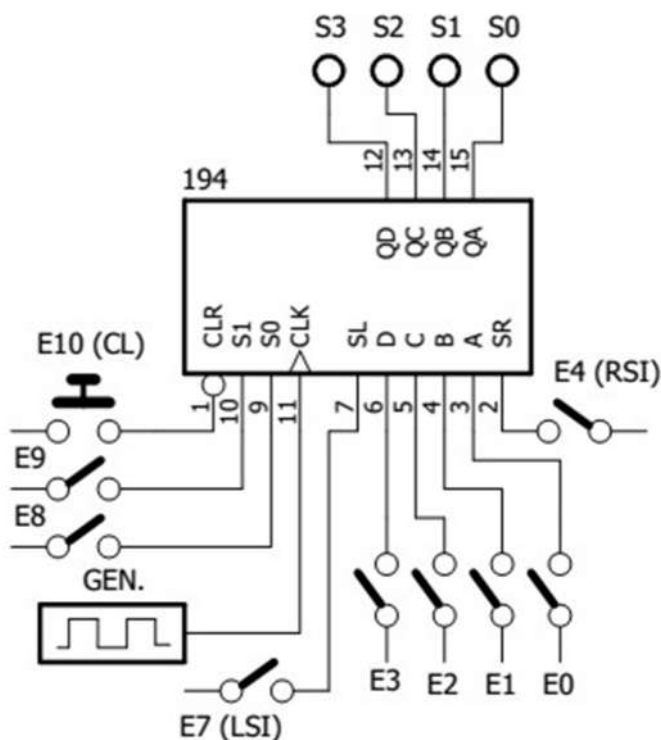
Se trata de un registro de desplazamiento de 4 bits, con reloj sensible al **flanco ascendente**, entrada serie por la izquierda o la derecha, entradas de precarga y cuatro modos diferentes de trabajo:

S1	S0	MODO DE TRABAJO
0	0	Memoria. Las salidas QD:QA mantienen la última información registrada
0	1	Desplazamiento serie a la izquierda. El bit presente en SR se carga en QA
1	0	Desplazamiento serie a la derecha. El bit presente en SL se carga en QD
1	1	Carga en paralelo. Los bits de las entradas A:D se almacenan en QA:QD

En la siguiente tabla se muestra la descripción de las patillas:

NOMBRE	Nº Patilla	DESCRIPCIÓN
CLR	1	Puesto a nivel "0" de las salidas QD:QA. Activa por nivel "0"
RSI	2	Entrada serie de información por la derecha (desplazamientos a la izquierda)
LSI	7	Entrada serie de información por la izquierda (desplazamientos a la derecha)
A:D	3, 4, 5 y 6	Entradas en paralelo de información de 4 bits
S1:S0	10 y 8	Entradas para la selección de modo de trabajo del dispositivo
CLK	11	Entrada de la señal de reloj. Activa por flanco ascendente
QA:QD	15, 14, 13 y 12	Salidas en paralelo de la información de 4 bits. QA o QD serían las salidas serie según se desplace a la izquierda o a la derecha.
GND	8	Tierra de alimentación de 0 V
VCC	16	Positivo de alimentación de +5 V

El circuito práctico que proponemos que realices sería el siguiente:



Los leds S3:S0 permiten visualizar el contenido del registro. Este se puede precargar con un valor binario que introducimos mediante E3:E0.

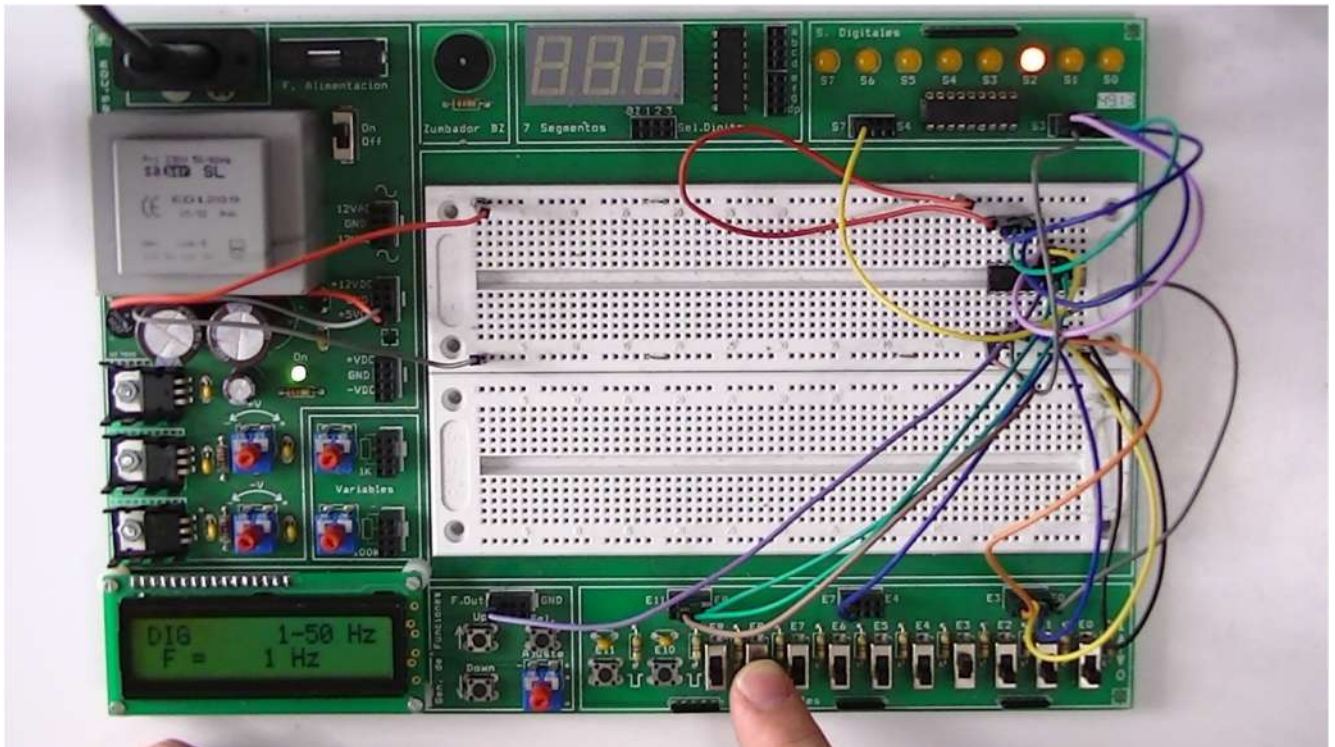
Con el pulsador E10 controlamos la señal CL, activa por nivel "0". Podemos borrar así el registro.

Los interruptores E4 y E7 permiten introducir bits por la derecha (RSI) o por la izquierda (LSI) respectivamente.

Sugerimos emplear el generador de onda cuadrada del entrenador. Los

pulsos que genera están libres de los indeseados rebotes. Seleccionamos la frecuencia más baja posible (1 Hz).

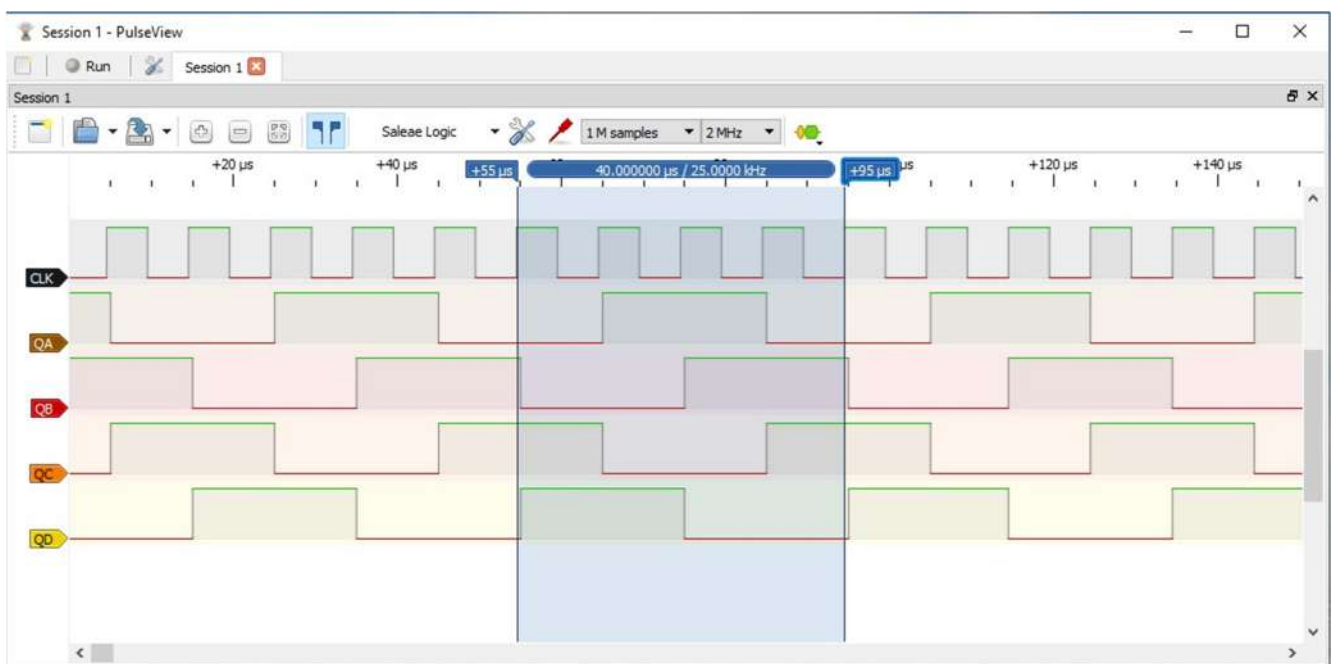
Por último, con los interruptores E9:E8 producimos las señales S1:S0 con las que podremos seleccionar el modo de trabajo según la tabla anterior. Para desarrollar esta práctica, cuyo montaje tienes en la fotografía, puedes seguir los siguientes pasos:



1. **S1-S0 = "0-1"**, desplazamiento a la izquierda. A cada flanco ascendente de la señal de reloj, el registro se va cargando con el bit presente en la entrada RSI (E4).
2. **S1-S0 = "1-0"**, desplazamiento a la derecha. A cada flanco ascendente de la señal de reloj, el registro se va cargando con el bit presente en la entrada LSI (E7).
3. **S1-S0 = "0-0"**, Función memoria. En este modo el registro mantiene la información independientemente de lo que hagamos con las entradas RSI, LSI y CLK.
4. En cualquier momento se puede activar por nivel "0" la señal CL (E10) para borrar el registro.
5. **S1-S0 = "1-1"**, Función de carga. Con el flanco ascendente de la señal de reloj el registro se carga con el valor binario presente en las entradas D:A (E3:E0).

6. Uniendo la salida QD (S3) con la entrada RSI (E4) o bien la salida QA (S0) con la entrada LSI (7), podrás hacer un registro de desplazamiento en anillo con desplazamiento a la izquierda o derecha respectivamente.
7. Aumentando la frecuencia de la señal de reloj se aumenta la velocidad del desplazamiento.
8. Prueba a desconectar la señal CLK de reloj del generador del entrenador y conectarla con el pulsador E11. Repite cualquiera de las pruebas anteriores y notarás el "efecto rebote".

En la imagen tienes el resultado de capturar con nuestro analizador lógico las salidas del registro de desplazamiento en anillo. La salida QD está conectada con la entrada RSI y el desplazamiento es a la izquierda. Se le cargó con el valor inicial 1100 por lo que con cada pulso de reloj va evolucionando: 1001, 0011, 0110, y nuevamente 1100. ¿Eres capaz de identificar estos valores en el diagrama de tiempos? ¿Podrías decir cuál es la frecuencia de la señal de reloj que está proporcionando el generador del entrenador?



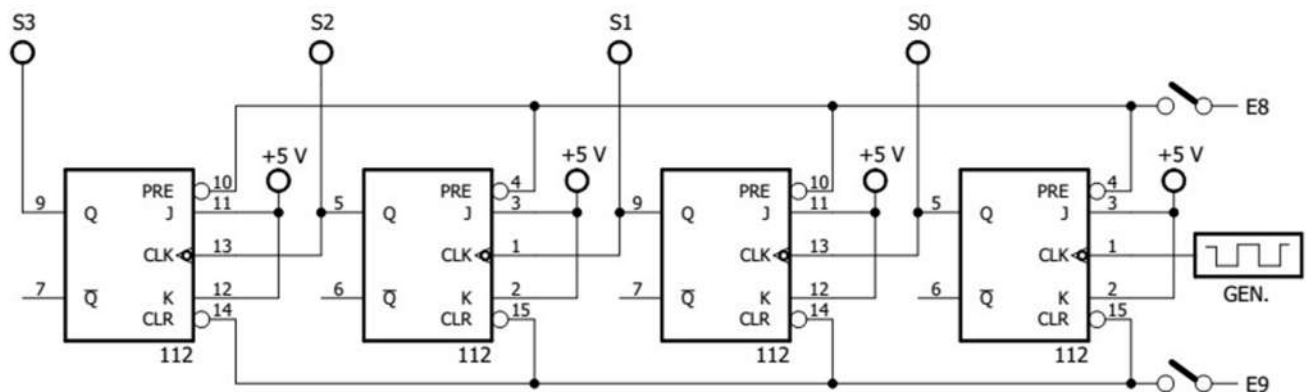
P4: CONTADORES BINARIOS

Son circuitos secuenciales capaces de contar, en binario, el número de impulsos que reciben a su entrada. El mero hecho de contar conlleva múltiples aplicaciones de los circuitos contadores:

- Contadores de eventos que cuentan o descuentan los pulsos de entrada.
- Divisores de frecuencia. Cada flip-flop del contador divide entre dos la frecuencia a su entrada.
- Frecuencímetros que cuentan el número de pulsos que entran en una unidad de tiempo.
- Contar los pulsos de una frecuencia conocida implica medir el tiempo y/o temporizar.

P4-1 Contador asíncrono ascendente de 4 bits

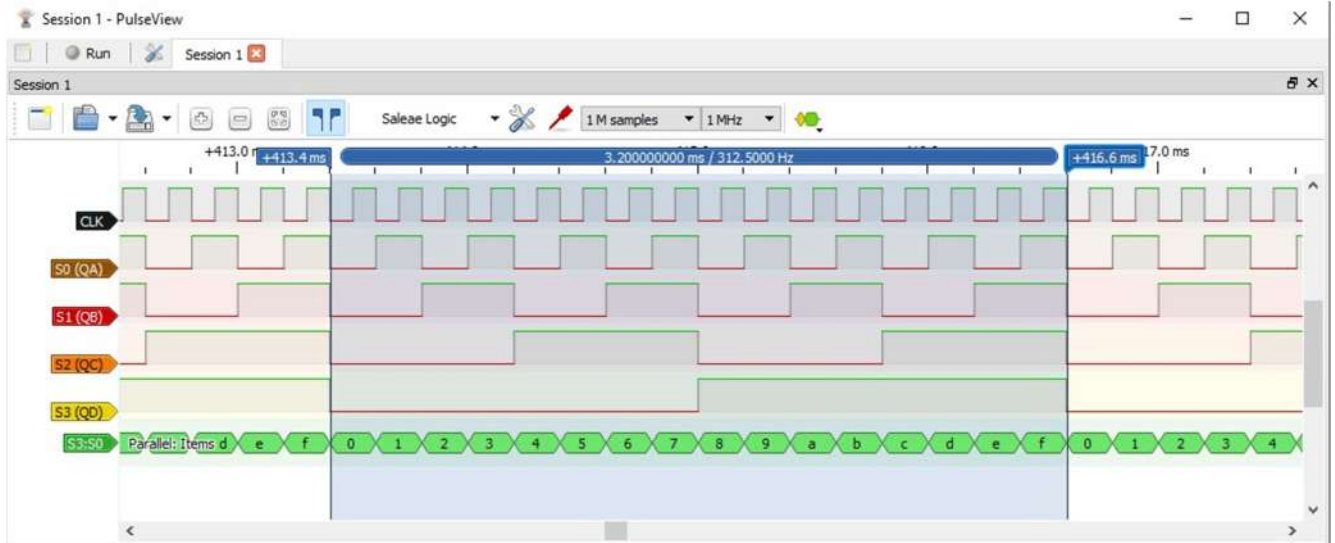
Vamos con el primero y más sencillo de los contadores. Se trata de montar el contador ascendente (Up) de 4 bits cuyo esquema tienes en la imagen.



Detalles importantes:

1. Usamos biestables J-K contenidos en el dispositivo 74xxx112 con señal de reloj activa por flanco descendente.
2. Las señales J-K de cada flip-flop están a nivel "1" (+5 V). Las salidas Q y /Q cambian de estado con cada flanco descendente del reloj (efecto Toggle).
3. El flip-flop de la derecha es el menos significativo. S0 representa por tanto el bit de menos peso.

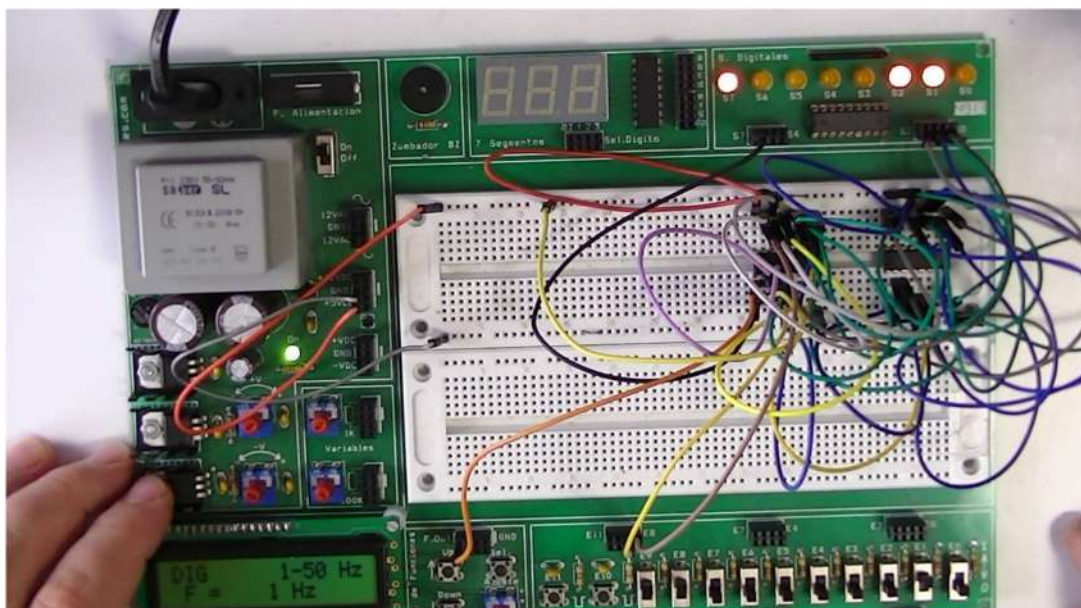
En la imagen tienes el diagrama de tiempos obtenido con nuestro analizador lógico.



Si lo analizas con cuidado puedes...

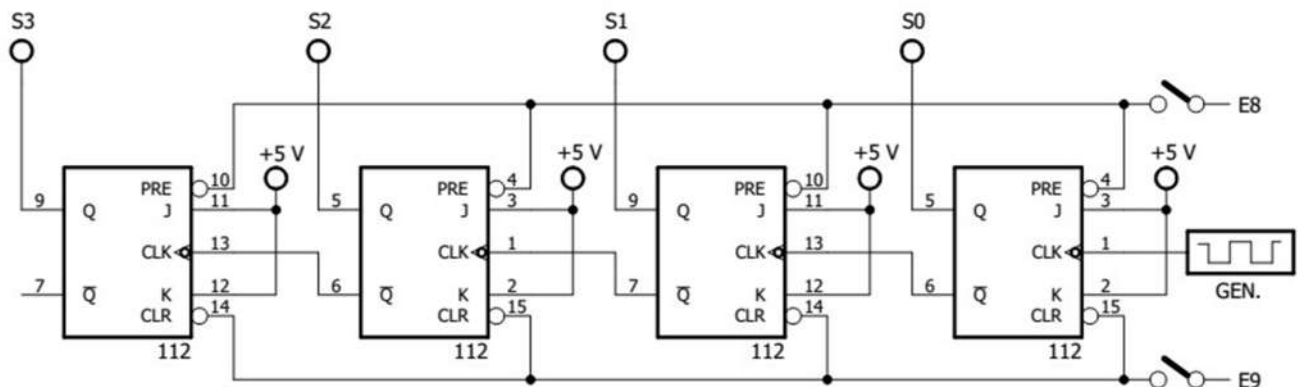
1. Ver como la cuenta evoluciona desde 0 hasta 15 (f). Es un contador de módulo 16 ($2^4 = 16$).
2. Calcular la frecuencia de la señal CLK con los pulsos a contar= _____
3. Observar cómo la frecuencia en CLK es el doble que en S0 = _____; esta el doble que en S1 = _____; Esta el doble que en S2 = _____ y esta es el doble de la de S3 = _____. Tenemos un divisor de frecuencias.

Aunque no sirve de gran cosa aquí tienes una foto del montaje.

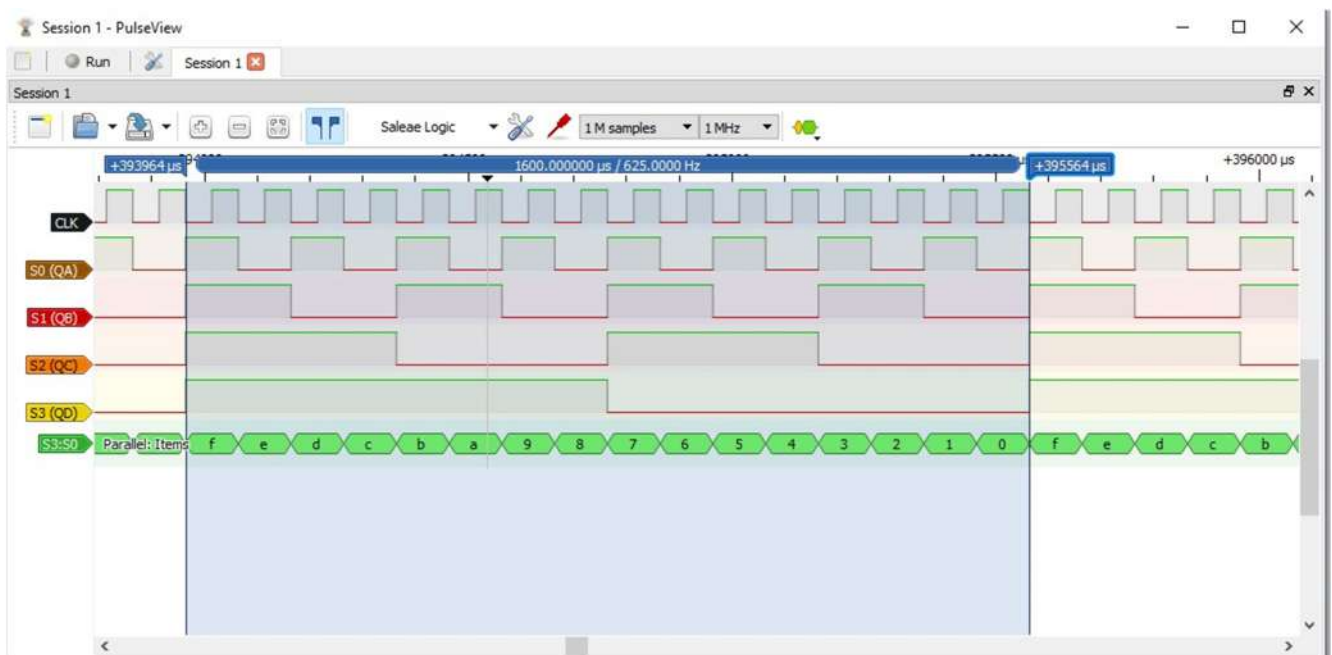


P4-2 Contador asíncrono descendente de 4 bits

Con una sencilla modificación podemos hacer que nuestro contador de 4 bits cuente en sentido descendente (Down). Mira el esquema y verás que lo único que cambia es que la entrada de reloj de los flip-flops se toma de la salida /Q del precedente.



Aquí tienes el diagrama de tiempo que hemos capturado con nuestro analizador lógico y que muestra bien a las claras el funcionamiento del circuito.

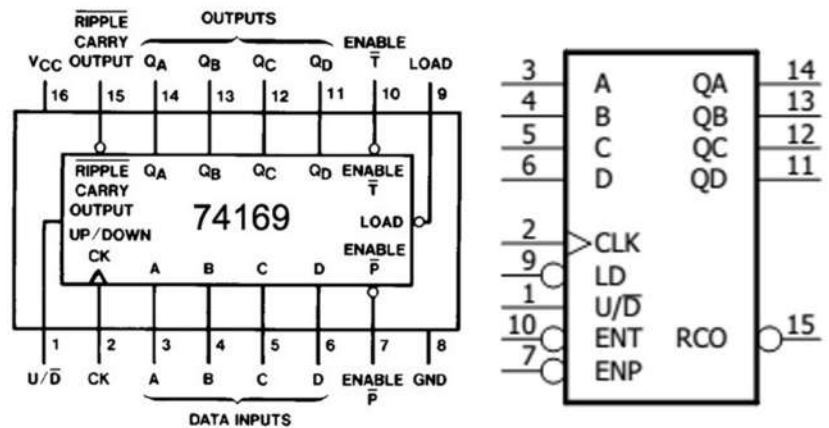


Analizándolo con cuidado puedes hacer las mismas comprobaciones que hiciste con el contador ascendente. Calcula la frecuencia CLK que hemos sometido al circuito en esta ocasión y obtén las divisoras:

CLK = ____; QA = ____; QB = ____; QC = ____; QD = ____

P4-3 Contador Up/Down con precarga con el 74xxx169

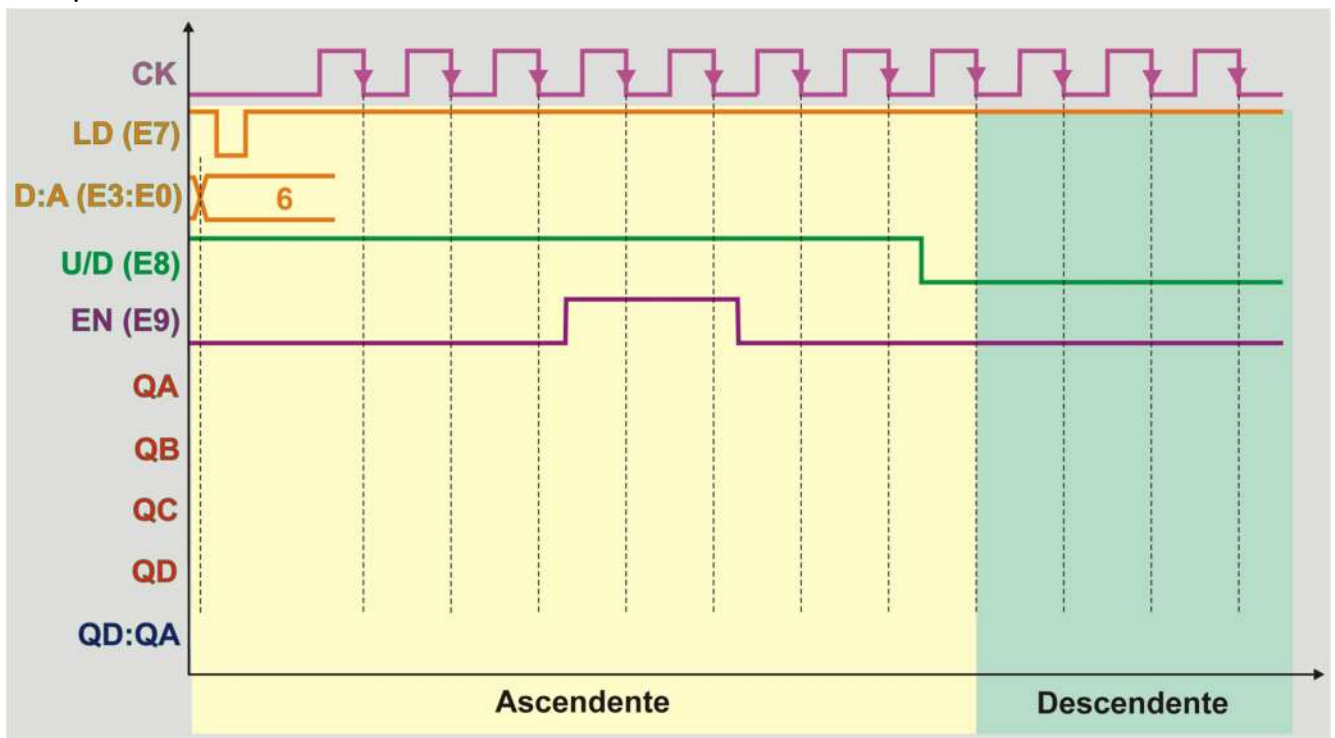
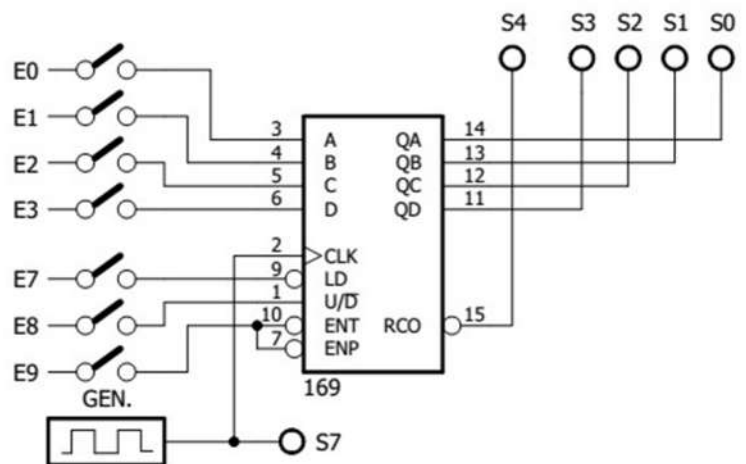
En el mercado dispones de multitud de dispositivos que integran contadores. El circuito integrado 74xxx169 es uno de tantos. Se trata de un contador ascendente/descendente (Up/Down) de 4 bits, con precarga y sensible a los **flancos ascendentes** de la señal de entrada de reloj con los pulsos a contar. En la imagen tienes su encapsulado y distribución de las patillas, y en la tabla una descripción de las mismas.



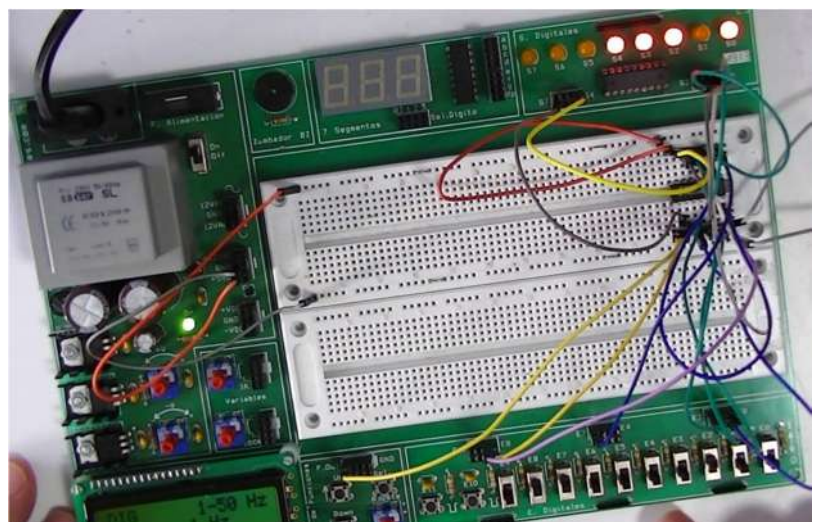
Nº PIN	NOMBRE	DESCRIPCIÓN
1	U/D	A nivel "1" cuenta ascendente, a nivel "0" cuenta descendente.
2	CK	Entrada activa por flanco ascendente de los pulsos a contar (↑).
3, 4, 5, 6	A, B, C, D	Entradas de precarga para introducir el valor inicial de la cuenta entre 0000 y 1111 (0-15).
7,10	/ENP, /ENP	Entradas de habilitación. Ambas deben de estar a nivel "0" o en caso contrario la cuenta se detiene.
9	/LD	Señal de carga. Cuando se activa a nivel "0" el contador se carga con el valor de las entradas A, B, C y D.
14, 13, 12, 11	QA, QB, QC, QD	Salidas binarias de la cuenta entre 0000 y 1111 (módulo 16).
15	/RCO	Salida de desbordamiento. En modo ascendente se produce cuando se alcanza el valor 15 (1111). En el modo descendente se produce cuando el contador llega a 0 (0000). Se puede conectar como señal de reloj para la siguiente etapa contadora.
8, 16	GND, VCC	Alimentación

En esta otra imagen tienes el circuito eléctrico que debes de montar para experimentar con este dispositivo y comprobar sus posibilidades.

Para evitar el problema de los rebotes se sugiere emplear el generador lógico de onda cuadrada. Completa el siguiente diagrama de tiempos.



Fotografía del montaje. Con los interruptores E3:E0 y E7 (LD) se introduce el valor inicial de la cuenta. Con E8 (U/D) se selecciona si la cuenta es ascendente ("1") o descendente ("0"). Finalmente con E9 (EN) se habilita o detiene al contador.

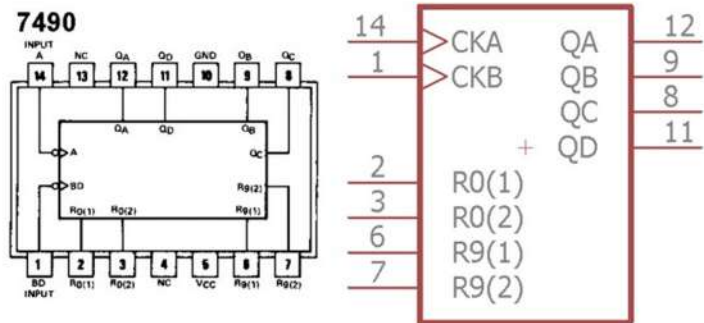


P5: CONTADOR DECIMAL

Visto lo que son los contadores binarios ahora vamos a experimentar con los contadores decimales, que no son otra cosa que contadores binarios diseñados para contar desde 0 hasta 9, lo que se conoce como módulo 10 o BCD.

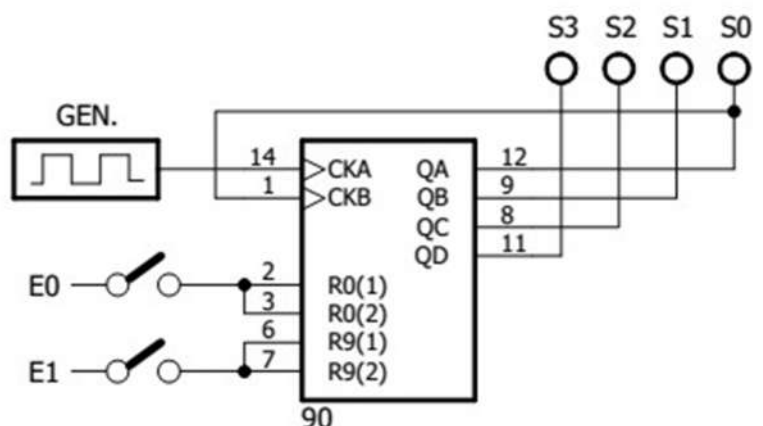
P5-1 Contador BCD con el 74xxx90

Es todo un clásico. Se trata de un circuito que integra un contador de módulo 10 con lo que la cuenta evoluciona en decimal o BCD, desde 0000 (0) hasta 1001 (9). Este es su encapsulado, distribución de las patillas y su descripción.

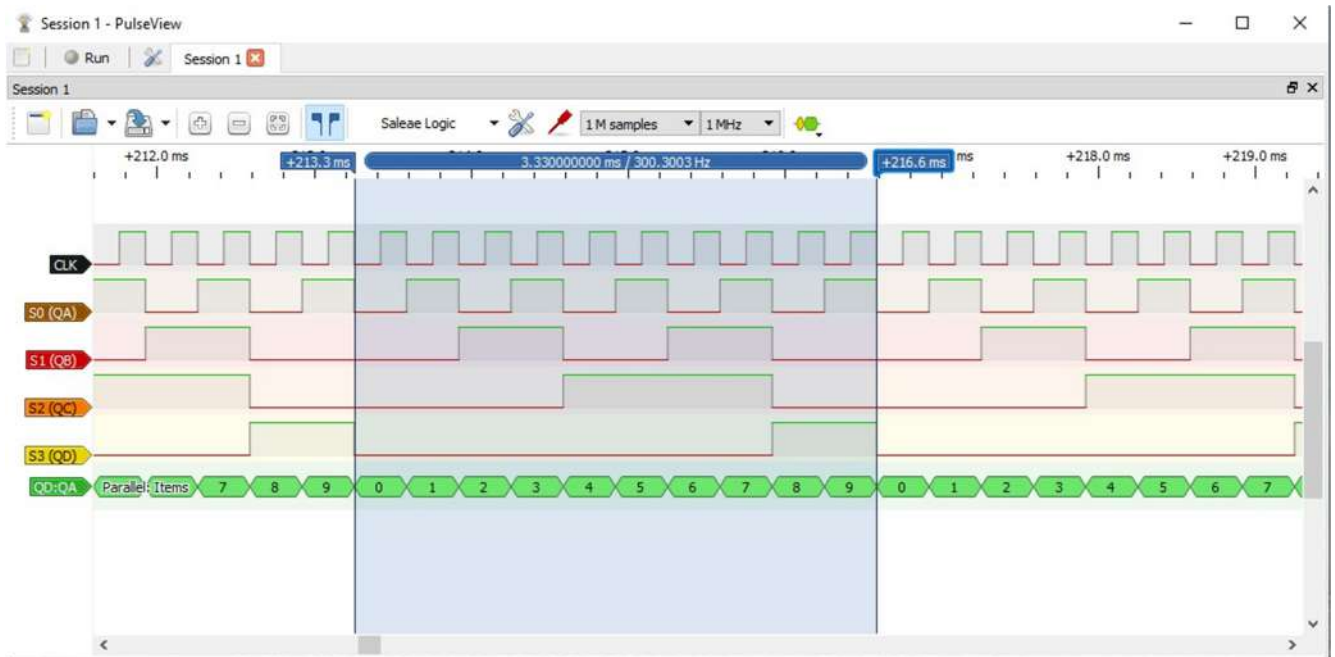


Nº PIN	NOMBRE	DESCRIPCIÓN
1	CKB	Entrada B de reloj por flanco descendente
14	CKA	Entrada A de reloj por flanco descendente
2, 3	R0(1), R0(2)	Entradas activas por "1" para la puesta a 0 del contador
6, 7	R9(1), R9(2)	Entradas activas por "1" para la puesta a 9 del contador
12, 9, 8 y 11	QA, QB, QC y QD	Salidas del contador. QA es el bit de menos peso
5, 10	VCC, GND	Entrada de alimentación de +5V

El esquema de montaje es muy sencillo. Usamos los leds S3:S0 conectados con las salidas QD:QA para visualizar el resultado de la cuenta. El generador proporciona los pulsos a contar libres de rebotes y con E0 y E1 tenemos la puesta a 0 o a 9.

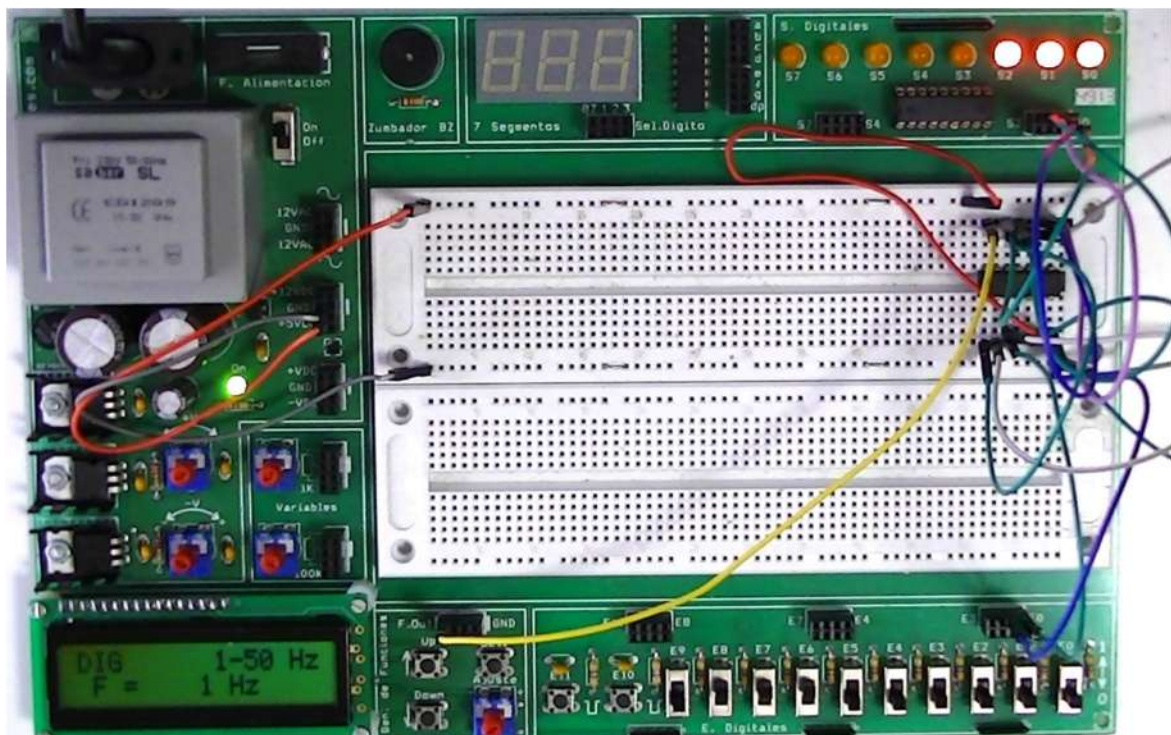


En la imagen tienes el diagrama de tiempos que hemos obtenido con nuestro analizador lógico.



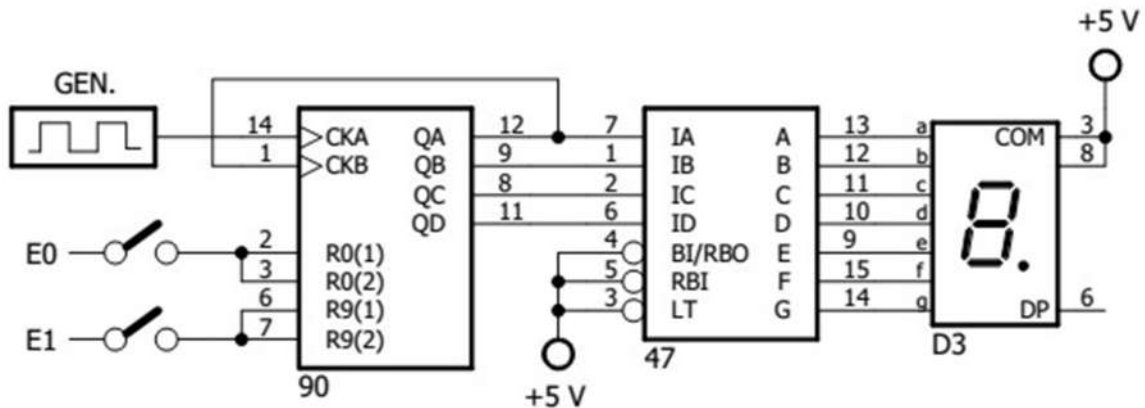
Presta atención e indica la frecuencia en CLK = _____ ; QA = _____ ; QB = _____ ; QC = _____ y QD = _____

Esta es la imagen del montaje...

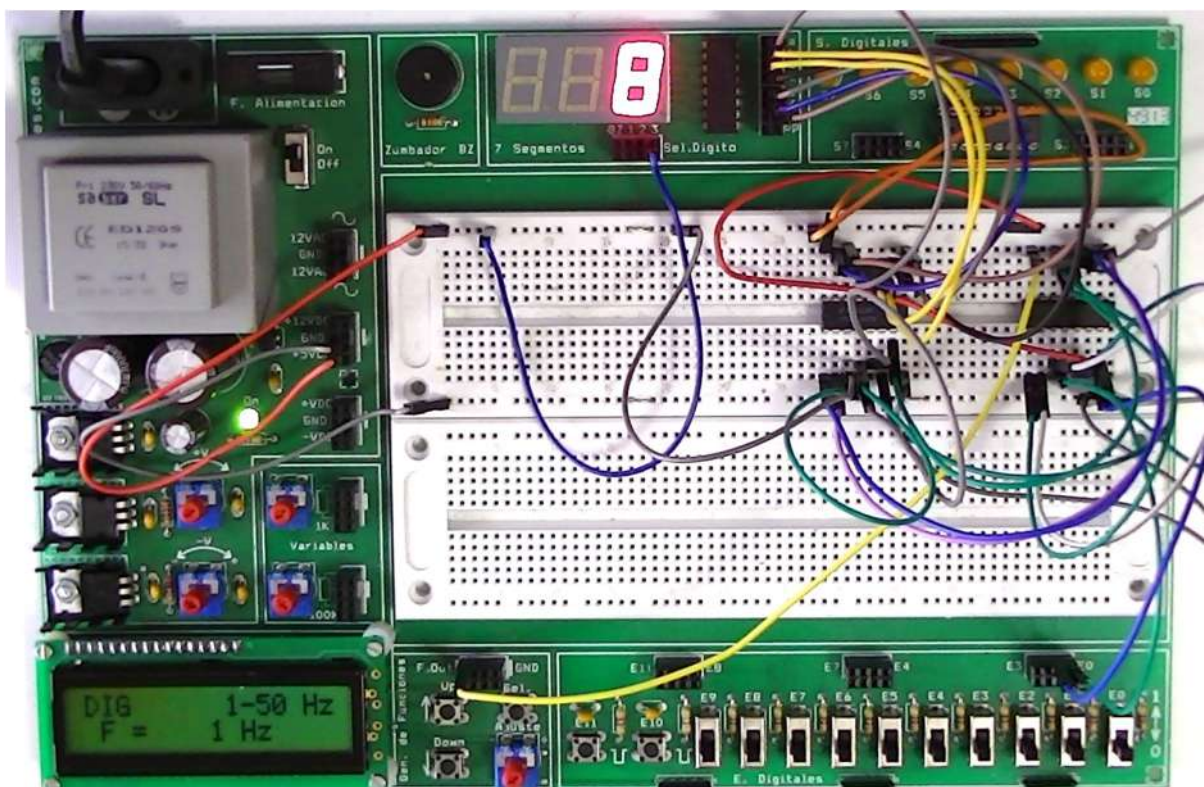


P5-2 Contador BCD con visualización en 7 segmentos

Vamos a dar otro paso adelante conectando la salida BCD del contador anterior a un decodificador 7 segmentos que nos permita visualizar el resultado de la cuenta sobre un display. Este es el esquema de montaje.

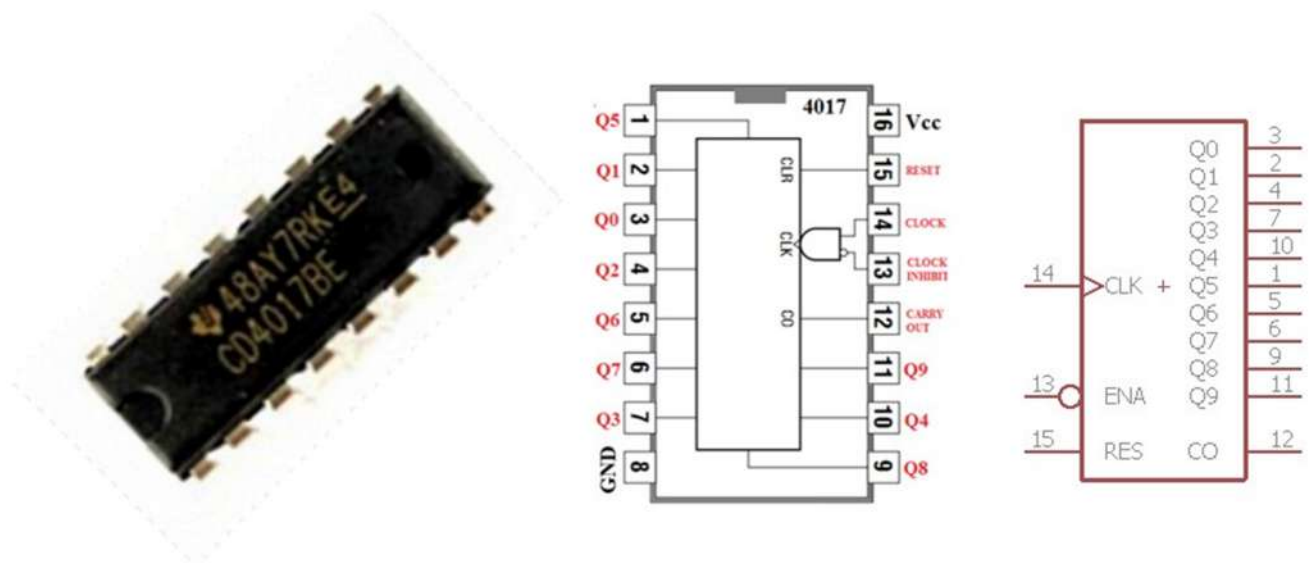


Las salidas BCD en QD:QA de la década 74xxx90 se conectan con la entrada del decodificador de 7 segmentos modelo 74xxx47 que ya conocemos. Este se encarga de activar los segmentos apropiados del display según el dígito que se vaya a visualizar. Resumiendo, el resultado de la cuenta lo vemos directamente y de forma numérica sobre el display D3 del entrenador. En la imagen tienes el montaje práctico.



P5-3 Contador decodificado decimal con el 4017

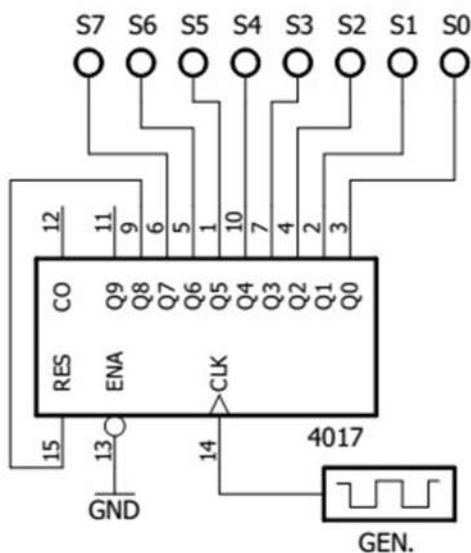
Se trata de un contador un poco especial. Al igual que el 74xx90 anterior, el 4017 consiste en una década cuyas salidas, en lugar de estar codificadas en BCD, están decodificadas. Esto es, tiene 10 salidas independientes que se van activando según el número de pulsos recibidos. Por ejemplo, si se reciben 5 pulsos se activa la salida 5 y solo la 5. En la imagen tienes su encapsulado, distribución de patillas y descripción de las mismas.



Nº PIN	NOMBRE	DESCRIPCIÓN
3, 2, 4, 7, 10, 1, 5, 6, 9, 11	Q0, Q1, Q2, Q3, Q4, Q5, Q6, Q7, Q8, Q9	Salidas del contador. Se activan secuencialmente en función del nº de pulsos de entrada.
12	CO	Salida que produce un pulso completo por cada 10 de entrada. Serviría de entrada de reloj a la siguiente década.
14	CLK	Entrada de los pulsos a contar activa por flanco ascendente
13	ENA	Entrada para la habilitación de la señal de reloj. Activa por nivel "0".
15	RES	Entrada activa por nivel "1" para la puesta a 0 del contador.
8, 16	GND, VDD	Entradas de alimentación

La siguiente tabla de la verdad muestra muy a las claras el funcionamiento. Ya ves que cada salida, Q0 - Q9 se activa a nivel "1" según los pulsos recibidos.

ENTRADAS				SALIDAS										
RES	ENA	CLK		Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9	CO
0	1	X		Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9	CO
1	X	X		1	0	0	0	0	0	0	0	0	0	0
0	0	↑ 1		0	1	0	0	0	0	0	0	0	0	1
0	0	↑ 2		0	0	1	0	0	0	0	0	0	0	1
0	0	↑ 3		0	0	0	1	0	0	0	0	0	0	1
0	0	↑ 4		0	0	0	0	1	0	0	0	0	0	1
0	0	↑ 5		0	0	0	0	0	1	0	0	0	0	0
0	0	↑ 6		0	0	0	0	0	0	1	0	0	0	0
0	0	↑ 7		0	0	0	0	0	0	0	1	0	0	0
0	0	↑ 8		0	0	0	0	0	0	0	0	1	0	0
0	0	↑ 9		0	0	0	0	0	0	0	0	0	1	0
0	0	↑ 10	1	0	0	0	0	0	0	0	0	0	0	1

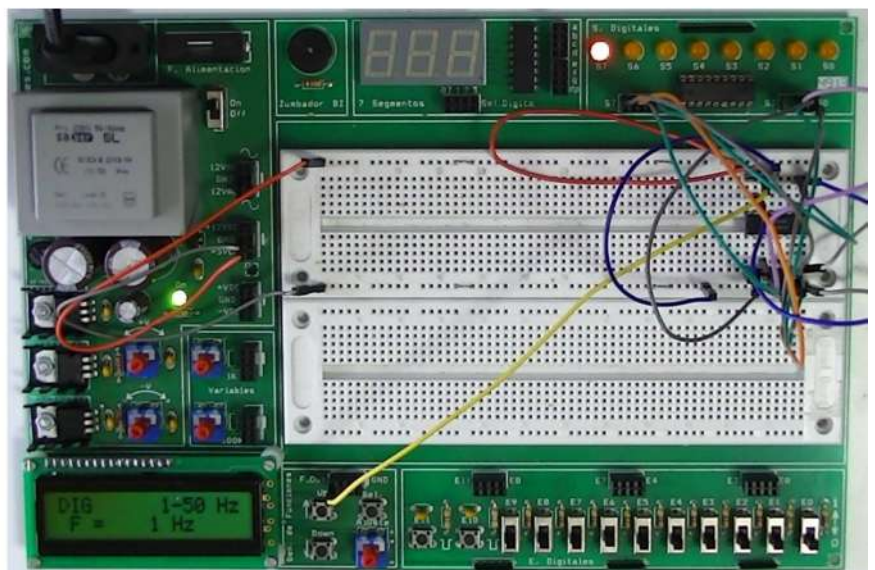


En la imagen tienes el esquema de montaje. Como en el entrenador Universal Trainer solo hay ocho leds de salida, S7:S0, vamos a hacer que el contador evoluciona desde 0 hasta 7 e inmediatamente empiece nuevamente desde 0.

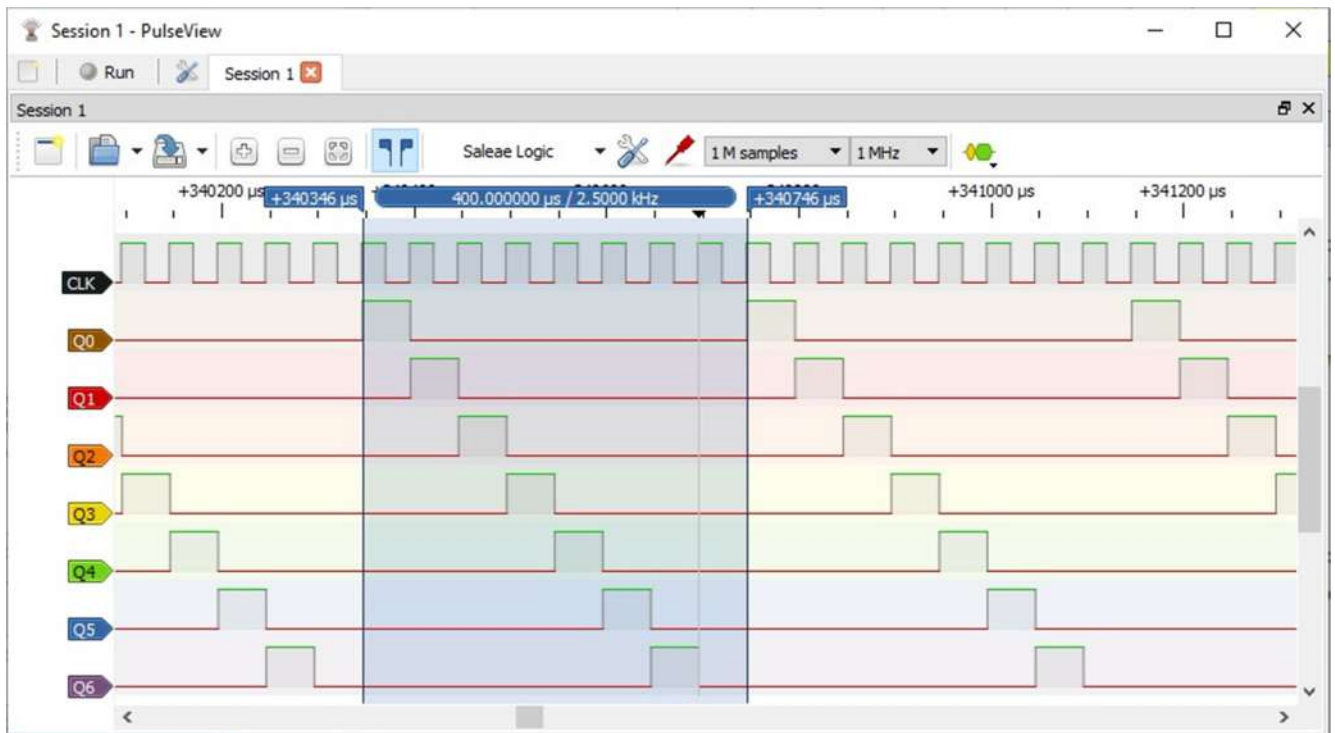
Para ello hemos conectado la salida Q8 con la entrada RES de forma que, cuando llegue el 9º pulso de reloj, todo el contador se reinicie desde 0.

Como hemos venido haciendo con otros circuitos, en este también empleamos el generador del entrenador para suministrar los pulsos libres de rebotes.

En la imagen tienes el montaje práctico.



En esta otra imagen tienes la captura realizada con el analizador lógico.



Aquí tenemos un pequeño problema. Nuestro analizador tiene únicamente 8 canales de entrada. Si queremos analizar este circuito al completo necesitaríamos 11 canales: 1 canal para visualizar la señal de entrada con los pulsos de reloj a contar, y otros 10 para visualizar las 10 salidas del contador Q0 - Q9. Visto el problema quizá te animes, en un futuro, a hacerte con los servicios de un analizador con más canales de entrada, más potente, flexible y... más caro.

En la figura de ejemplo hemos optado por visualizar la señal de los pulsos de entrada y las 7 primeras salidas: Q0 - Q6. ¿Te atreves a calcular la frecuencia de los pulsos de entrada? CLK = _____

P6: ENTRETENIMIENTO

Vamos a acabar el área de prácticas de este tema 8 presentando un par de ejemplos prácticos que usan los contadores para implementar unos juegos de azar.

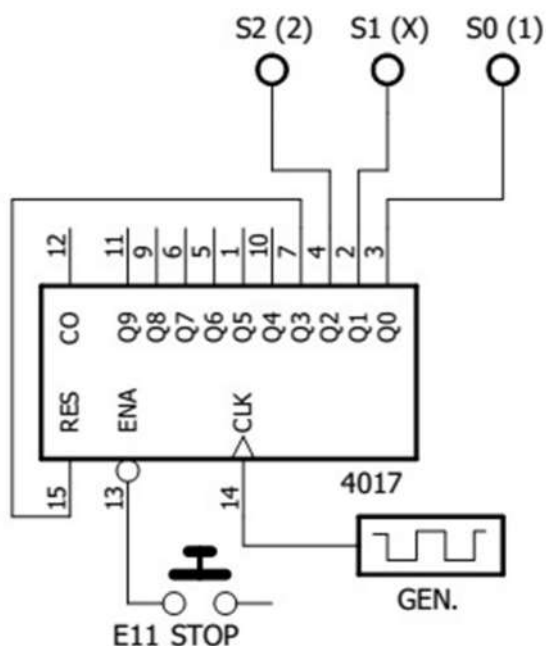


Te adelanto que otra de las aplicaciones de los contadores es la de generar números aleatorios. Se trata de que cuenten pulsos externos de una elevada frecuencia, lo que hace muy difícil predecir el número total de pulsos contados.

En cualquier caso estos circuitos son simples ideas que espero que, además de divertirme, te sirvan de ejemplo para tus propios proyectos.

P6-1 Quiniela electrónica

Vamos a emplear la misma década decodificada que en el ejemplo anterior, el 4017. En esta ocasión solo emplearemos las tres salidas de menos peso, Q0, Q1 y Q2. Activan los leds S0, S1 y S2 que simulan respectivamente los tres posibles resultados: 1 - X - 2. Mira el esquema.

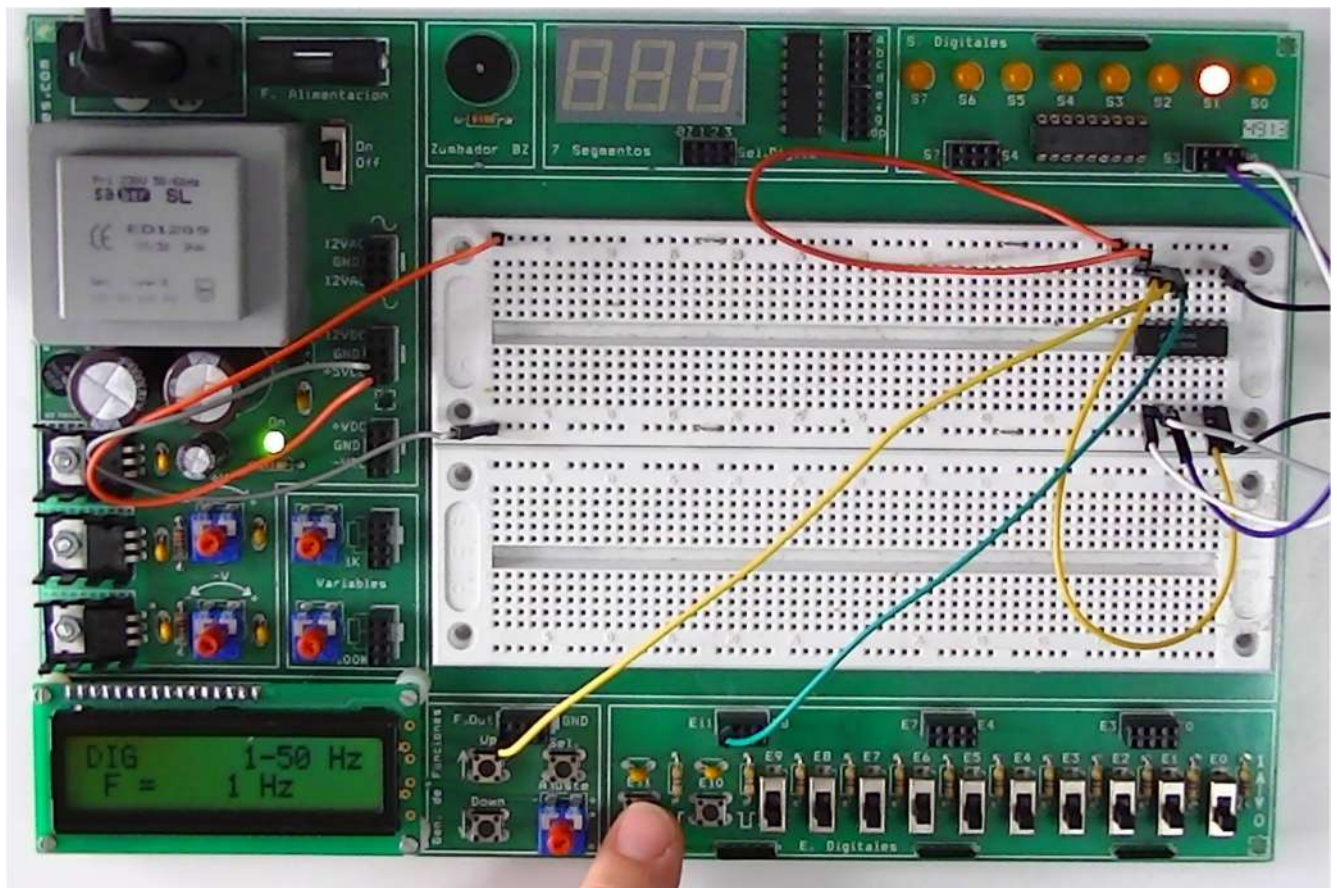


El contador va evolucionado desde el 0 al 2. Con el cuarto pulso de reloj se activa la salida Q3 que origina el reinicio del contador.

Mientras el pulsador E11 esté accionado a nivel "0", el contador está habilitado y la cuenta avanza. Cuando soltamos el pulsador la señal de habilitación queda desactivada y la cuenta se detiene.

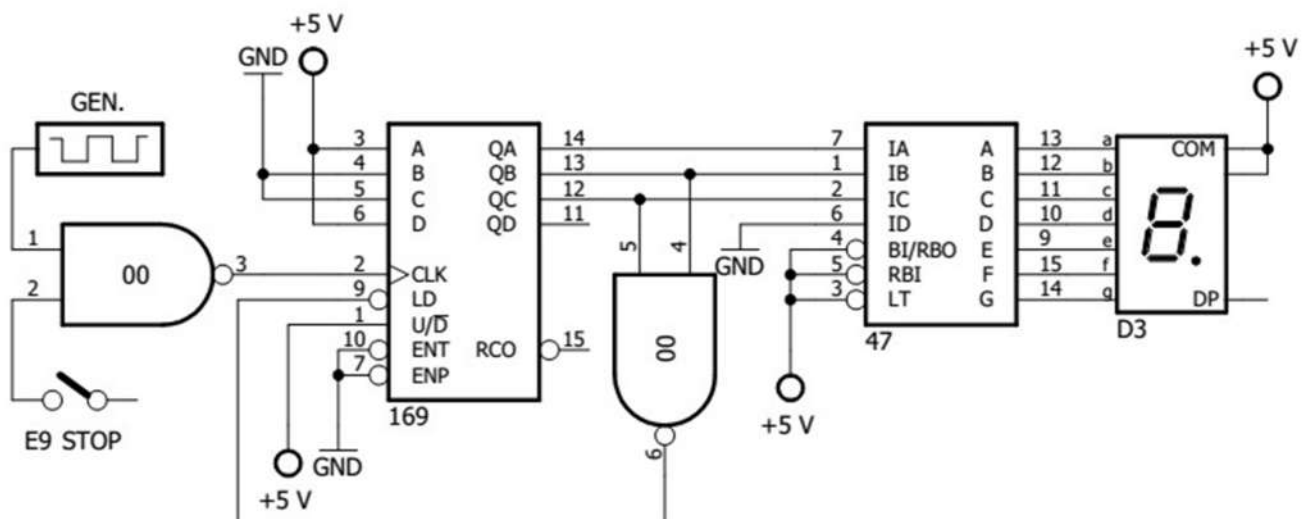
La frecuencia de los pulsos del generador determina el efecto "aleatorio". Si es baja es fácil predecir el valor de la cuenta. Si la frecuencia es alta es casi imposible determinar en qué valor se detiene la cuenta.

Aquí tienes una imagen del montaje práctico.



P6-2 Dado electrónico

En esta ocasión vamos a realizar un dado electrónico. El display visualizará un número entre 1 y 6 correspondiente a una de las 6 caras del dado. Mira el esquema.

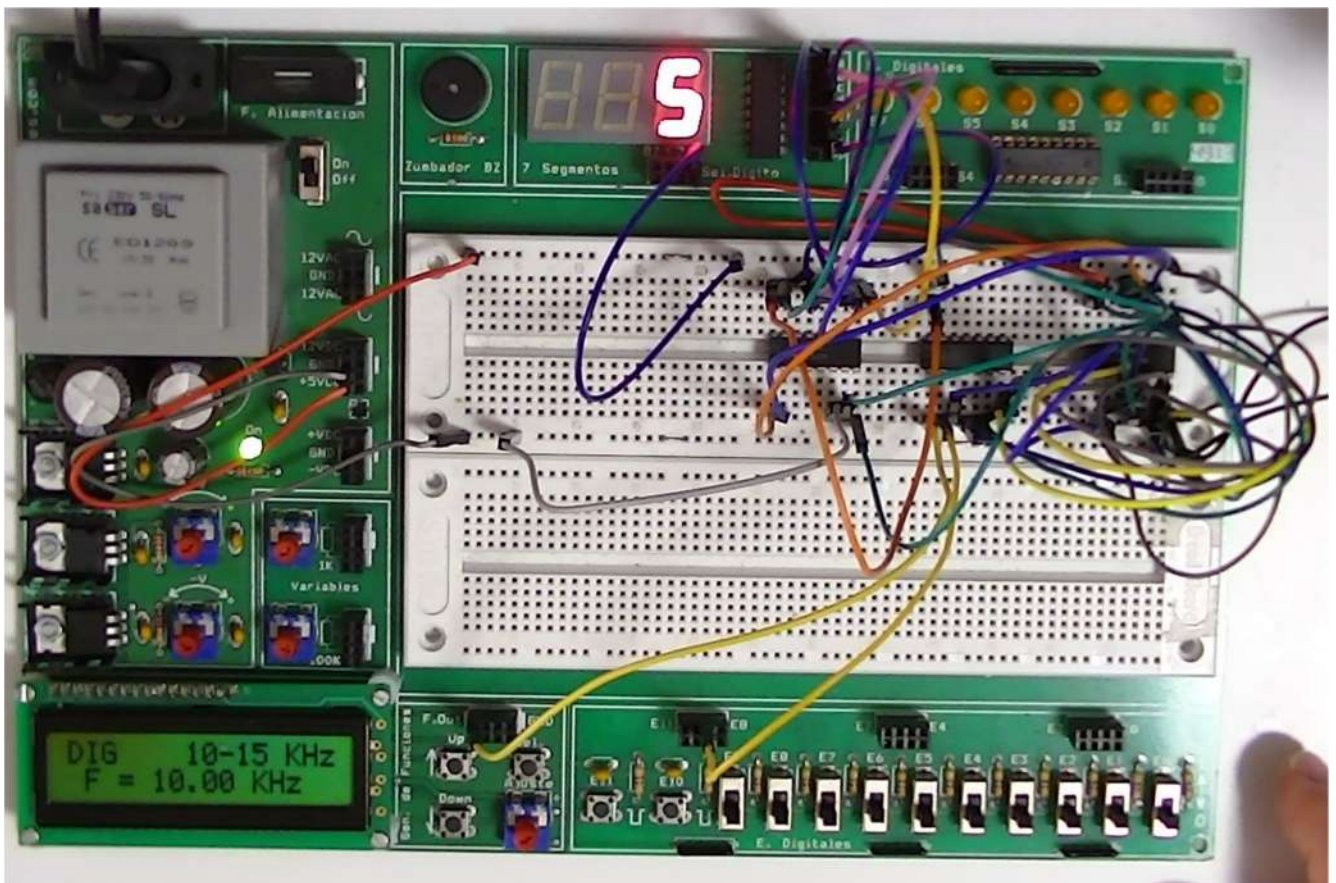


Como contador estamos empleando el 74xxx169 de otras ocasiones. Trabaja en modo ascendente ($U/D = "1"$) y con precarga del valor 1 (001) cada vez que se produce la señal LD de carga. Esto ocurre cuando el contador alcanza el valor binario del 6 (110). En otras palabras. El contador evoluciona desde 1 hasta 6.

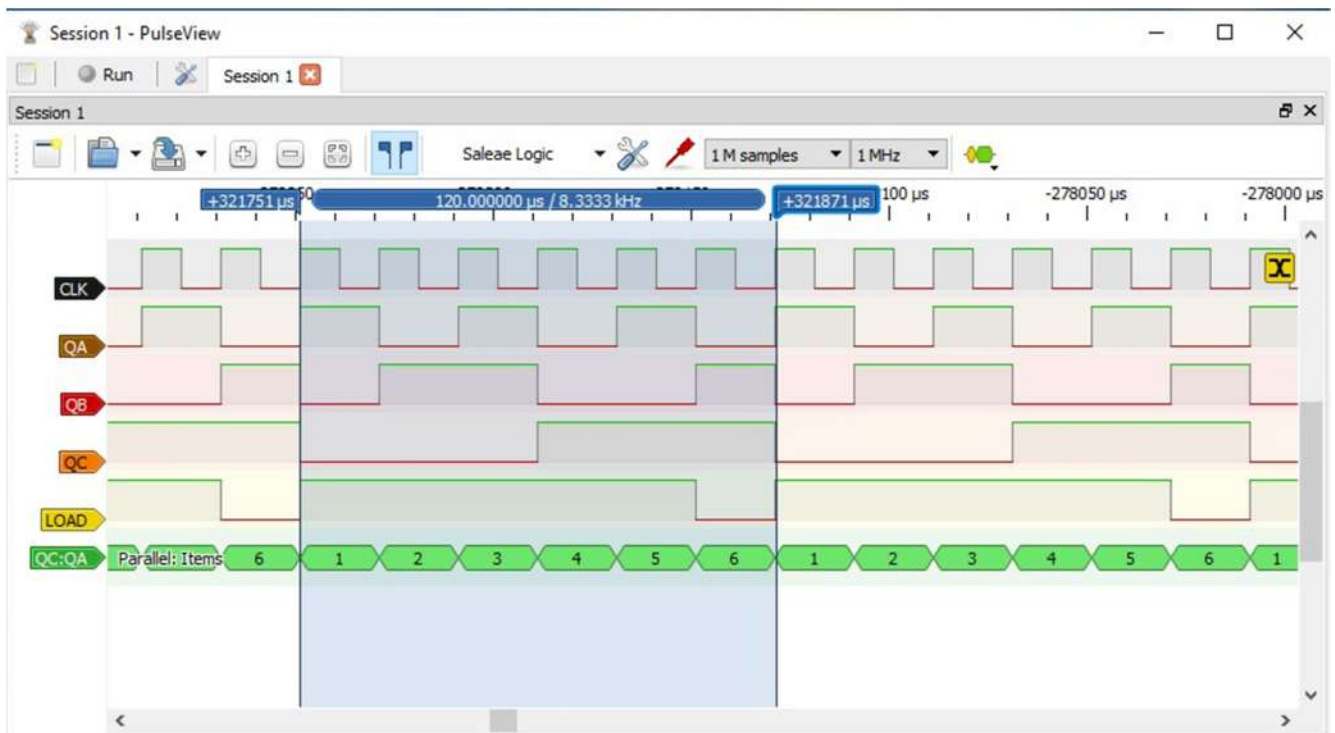
Las salidas QC:QA se aplican a las entradas del decodificador BCD a 7 segmentos 74xx47 que ya conoces. Este controla al display D3 del entrenador para que visualice de forma numérica un valor comprendido entre 1 y 6.

El circuito de reloj está formado por el generador del entrenador, la puerta NAND y el interruptor E9. Cuando éste está a nivel "1" la señal del generador llega al contador y la cuenta avanza entre 1 y 6. Cuando E9 está a nivel "0" la señal de reloj se interrumpe y la cuenta se detiene.

Si la frecuencia de reloj es muy baja, el valor de la cuenta es totalmente predecible. Esto es hacer "trampa". Si elevamos la frecuencia, será prácticamente imposible predecir qué valor tendrá el contador cuando detengamos la cuenta. Mira la fotografía del montaje práctico.



Gracias al analizador lógico podemos ver el funcionamiento del circuito. Mira la imagen...



Vamos a fijarnos en unos detalles...

1. El inicio de la captura se produce cuando hay un cambio de estado en la señal CLK de reloj (Trigger). Este se producirá cuando el interruptor E9 (STOP) pasa a nivel "1".
2. La cuenta en las salidas QC:QA evoluciona desde 1 hasta 6.
3. Cuando llega hasta 6 se genera la señal LOAD que pasa a nivel "0".
4. Con el siguiente flanco ascendente de la señal CLK de reloj el contador se precarga con el valor 1 y la cuenta se repite.

